

第五章 时序逻辑电路

5.1 概述

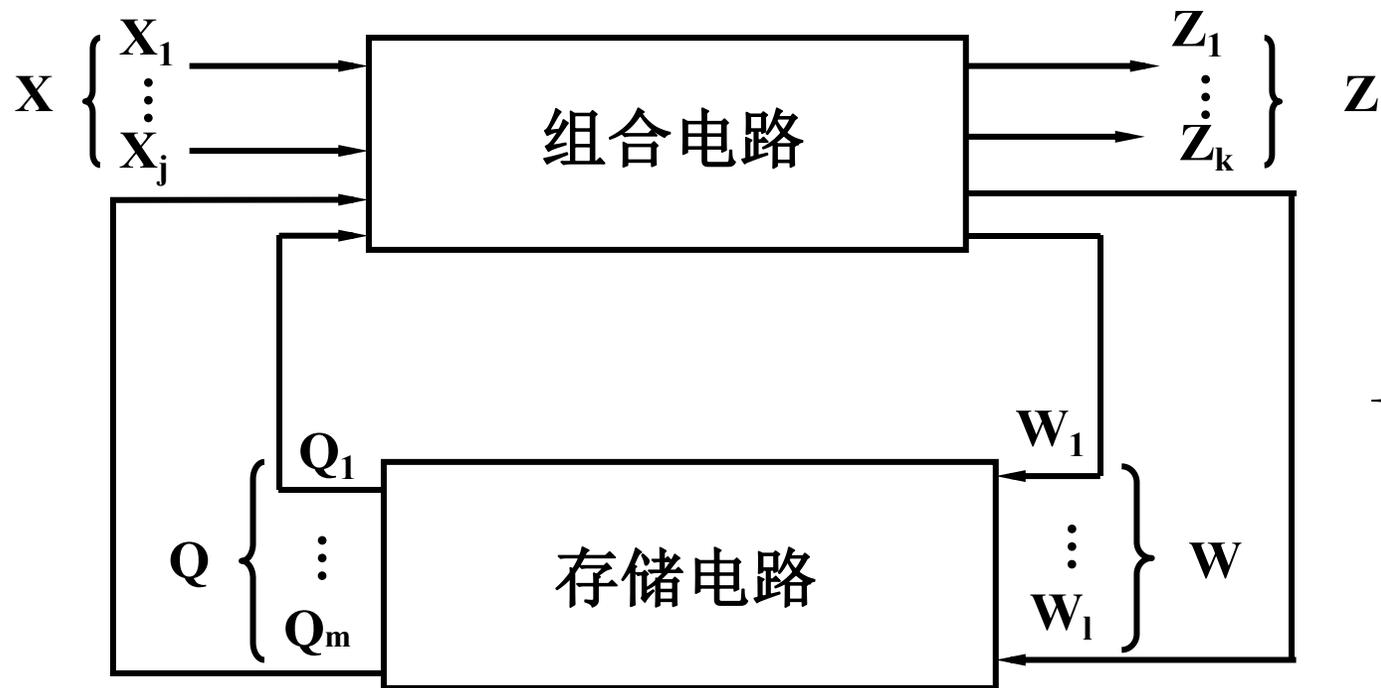


5.1 概述

在数字电路中，任一时刻的稳定输出不仅决定于该时刻的输入，而且还和电路原来的状态有关的电路，称为时序逻辑电路，简称**时序电路**。

时序电路的结构特点：具有反馈回路。

时序电路的基本单元电路：触发器。

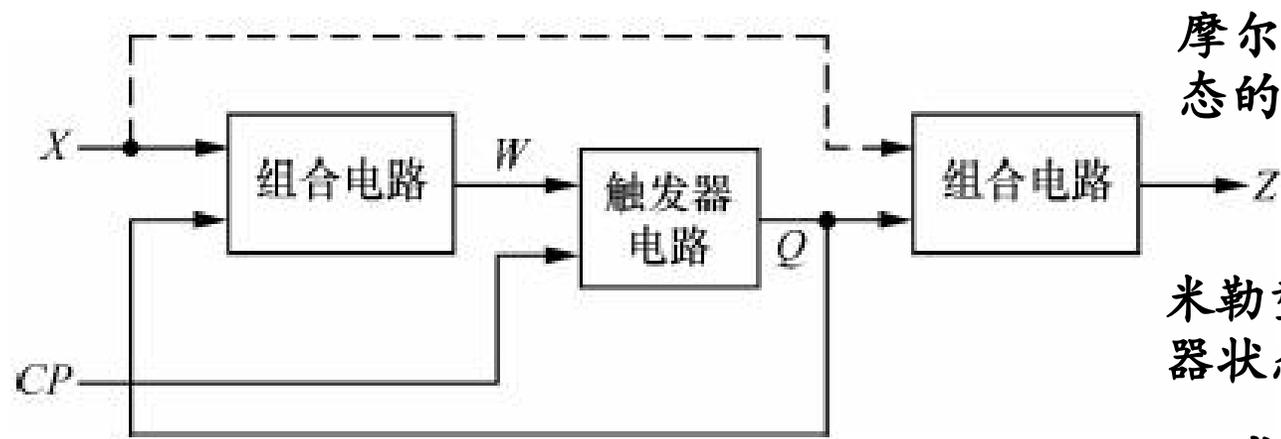


$$\begin{cases}
 W = F(X, Q^n) & \text{激励方程} \\
 Q^{n+1} = G(W, Q^n) & \text{状态方程} \\
 Z = H(X, Q^n) & \text{输出方程}
 \end{cases}$$

图5.1.1 时序电路的结构框图

时序电路按照时钟工作方式分为：

同步时序电路（所有触发器受同一时钟控制）和**异步**时序电路。



摩尔型 (Moore) 电路: 输出只依赖于当前触发器状态的时序电路。

米勒型 (Mealy) 电路: 输出同时依赖于当前触发器状态和外部输入的时序电路。

常用时序电路: 寄存器、移位寄存器、计数器、序列信号发生器

图5.1.2 时序逻辑电路的细化结构

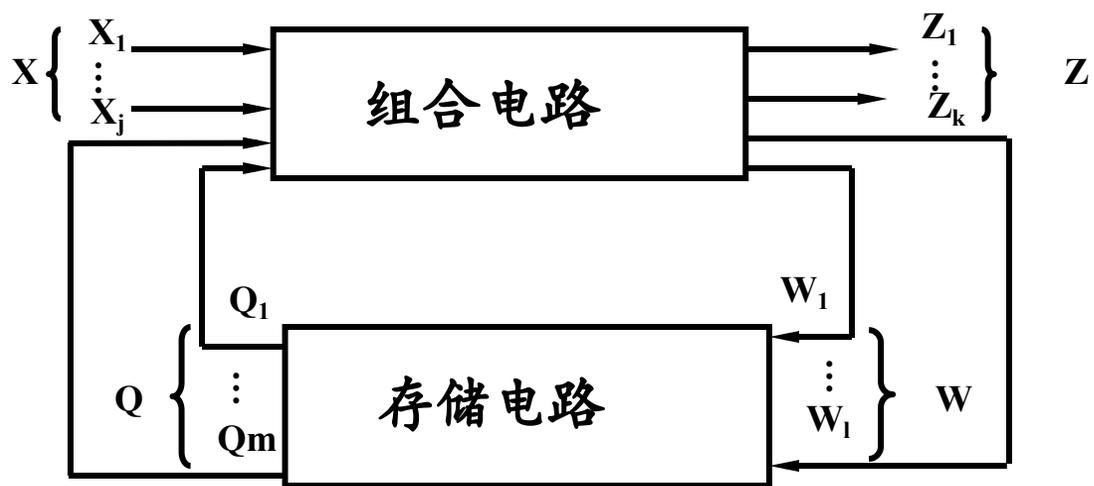
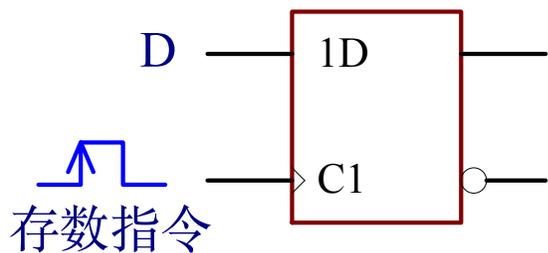


图5.1.1 时序电路的结构框图

5.2 寄存器

在数字电路中，用来**存放一组二进制数据**或代码的电路称为寄存器。寄存器是计算机的主要部件之一，它用来暂时存放数据或指令。

寄存器是由具有存储功能的触发器组合起来构成的。**一个触发器可以存储1位二进制代码**，存放 n 位二进制代码的寄存器，需用 n 个触发器来构成。



寄存单元

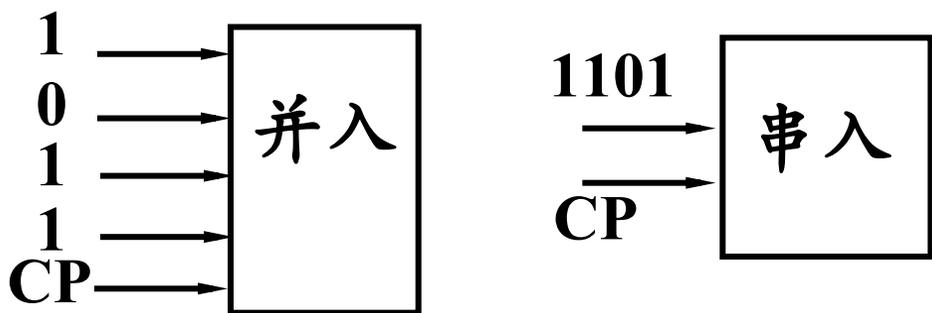
并行存入 (取出)

每一位数据对应一个输入端 (或输出端)。在时钟脉冲作用下, 多位**同时**输入 (或输出)。

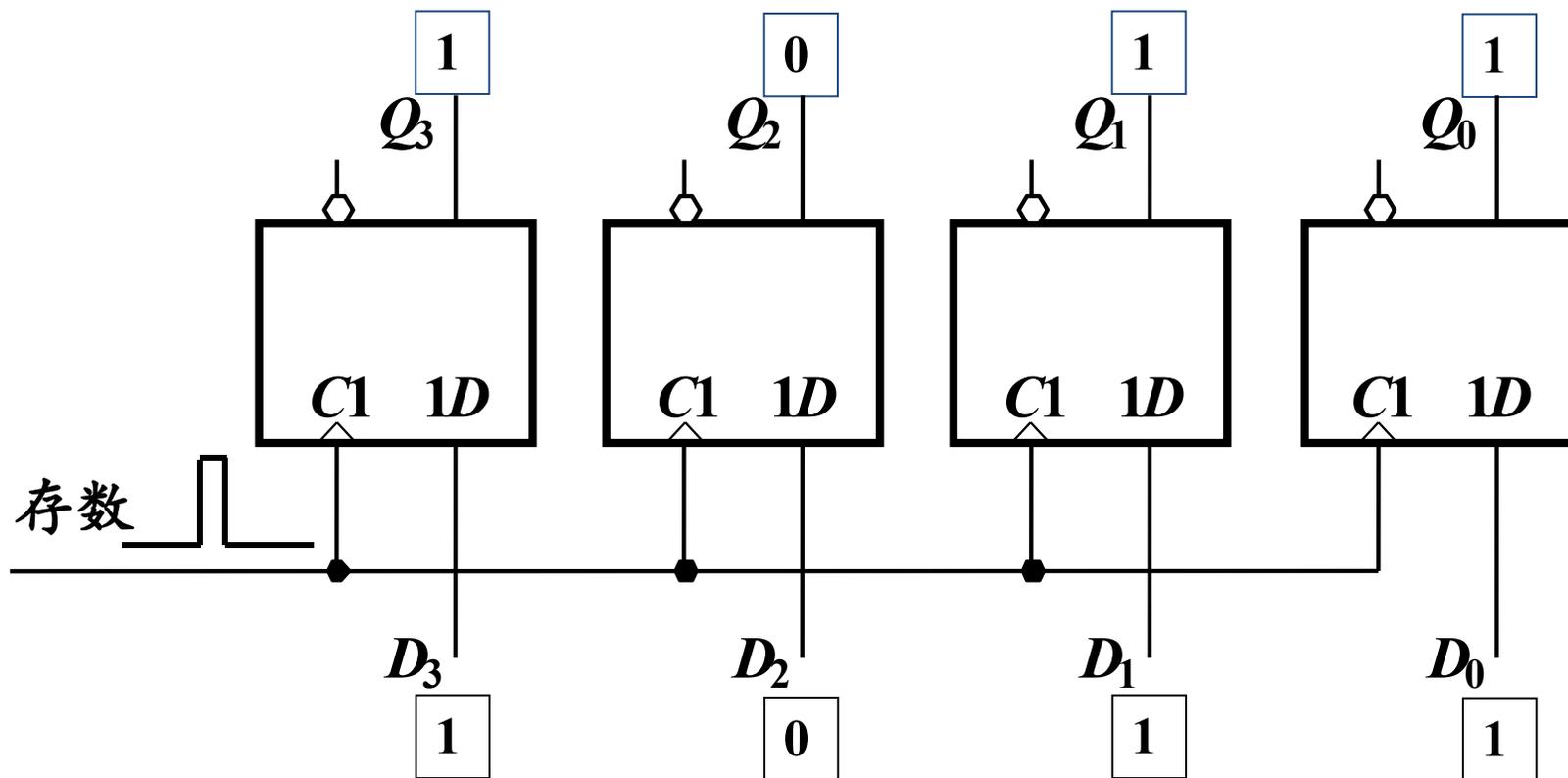
串行存入 (取出)

只有一个输入端 (或输出端)。在时钟脉冲作用下, 各数码**逐位**输入 (或输出)。

存储
数据
方式

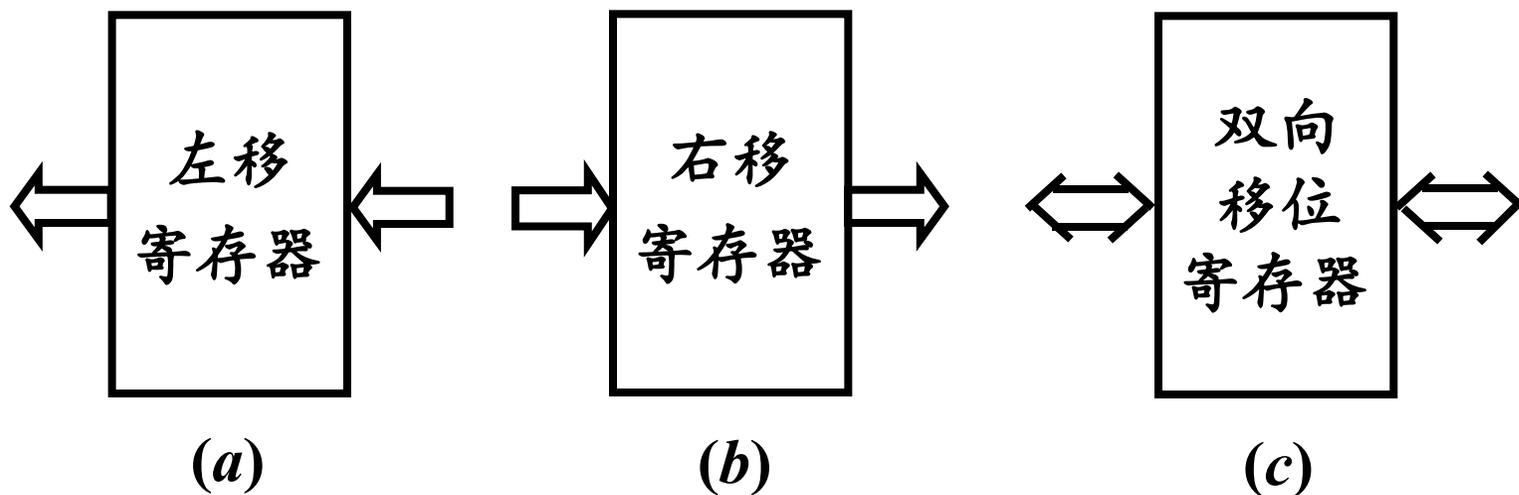


4位数据并行存入和取出



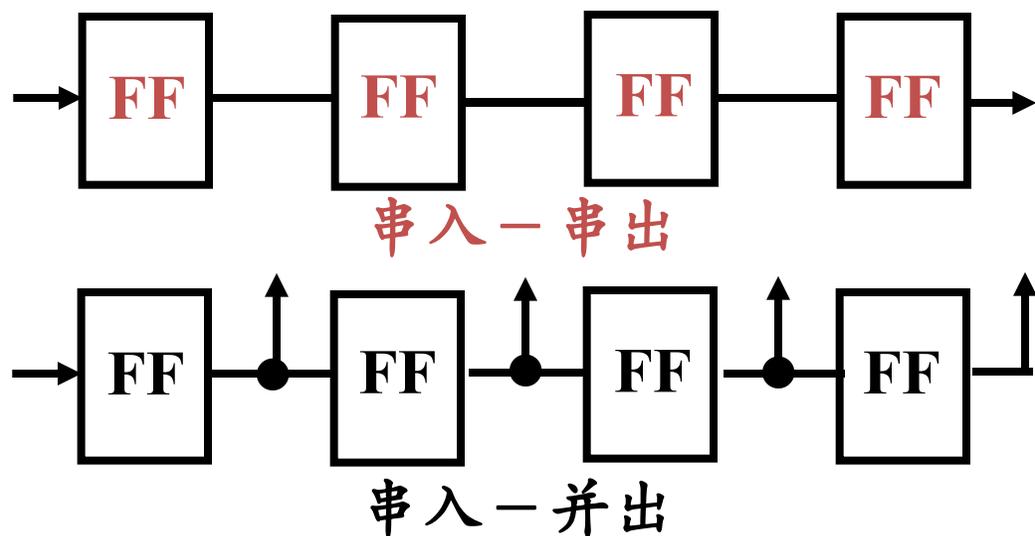
5.2.1 移位寄存器 (shift register)

所谓“**移位**”，就是将寄存器所存各位数据，在每个移位脉冲的作用下，向左或向右移动一位。根据移位方向，常把它分成三种：



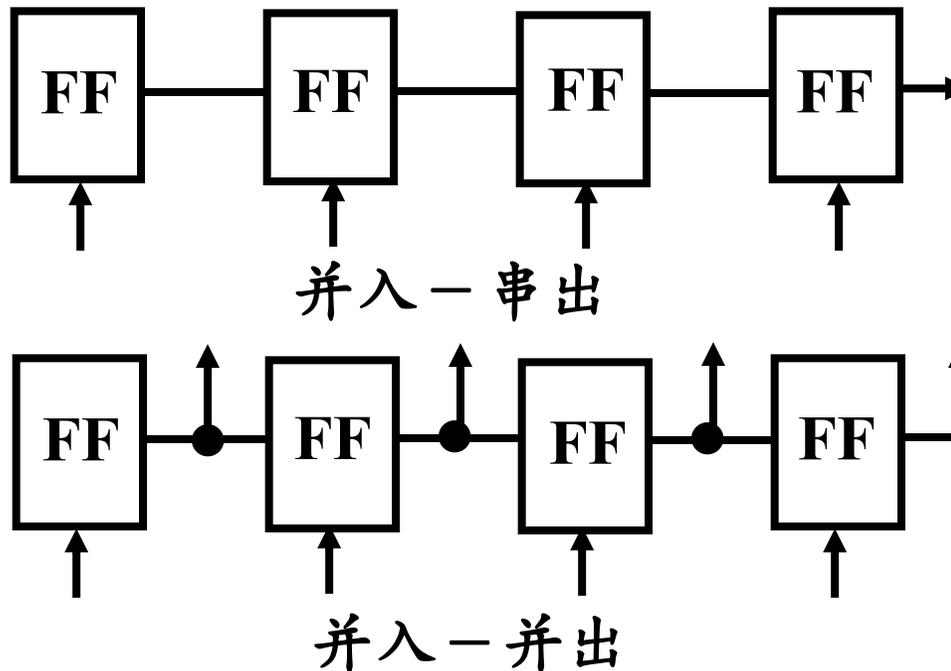
根据移位数据的输入-输出方式，又可将它分为四种：

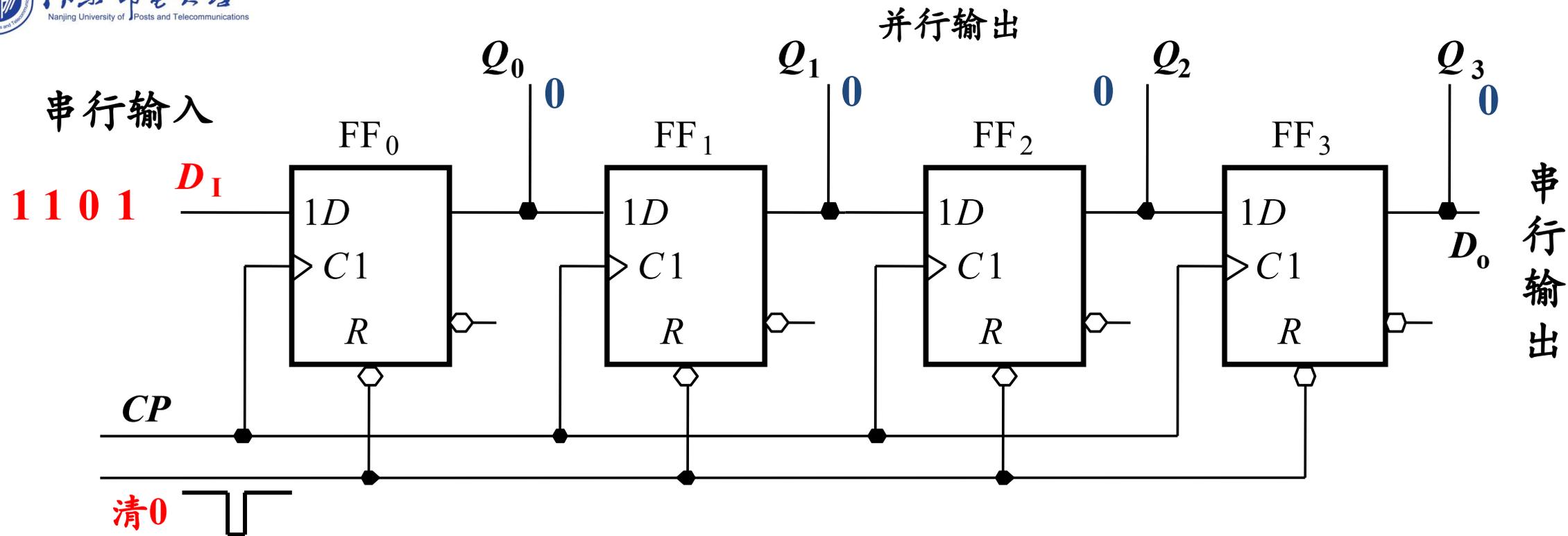
- 串行输入-串行输出
- 串行输入-并行输出
- 并行输入-串行输出
- 并行输入-并行输出：



根据移位数据的输入-输出方式，又可将它分为四种：

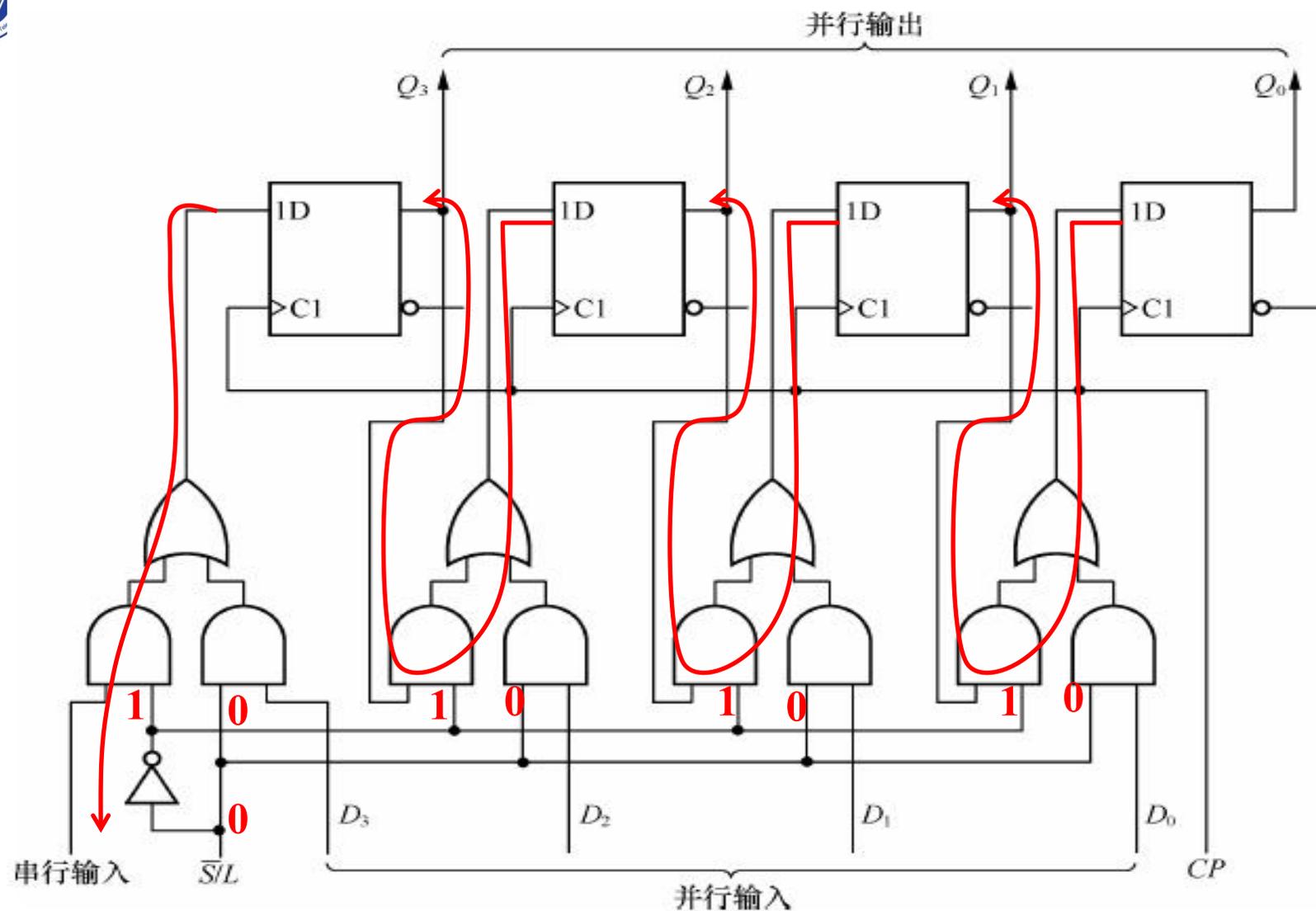
- 串行输入-串行输出
- 串行输入-并行输出
- 并行输入-串行输出
- 并行输入-并行输出：





$$Q_0^{n+1} = D_I, Q_1^{n+1} = Q_0^n, Q_2^{n+1} = Q_1^n, Q_3^{n+1} = Q_2^n$$

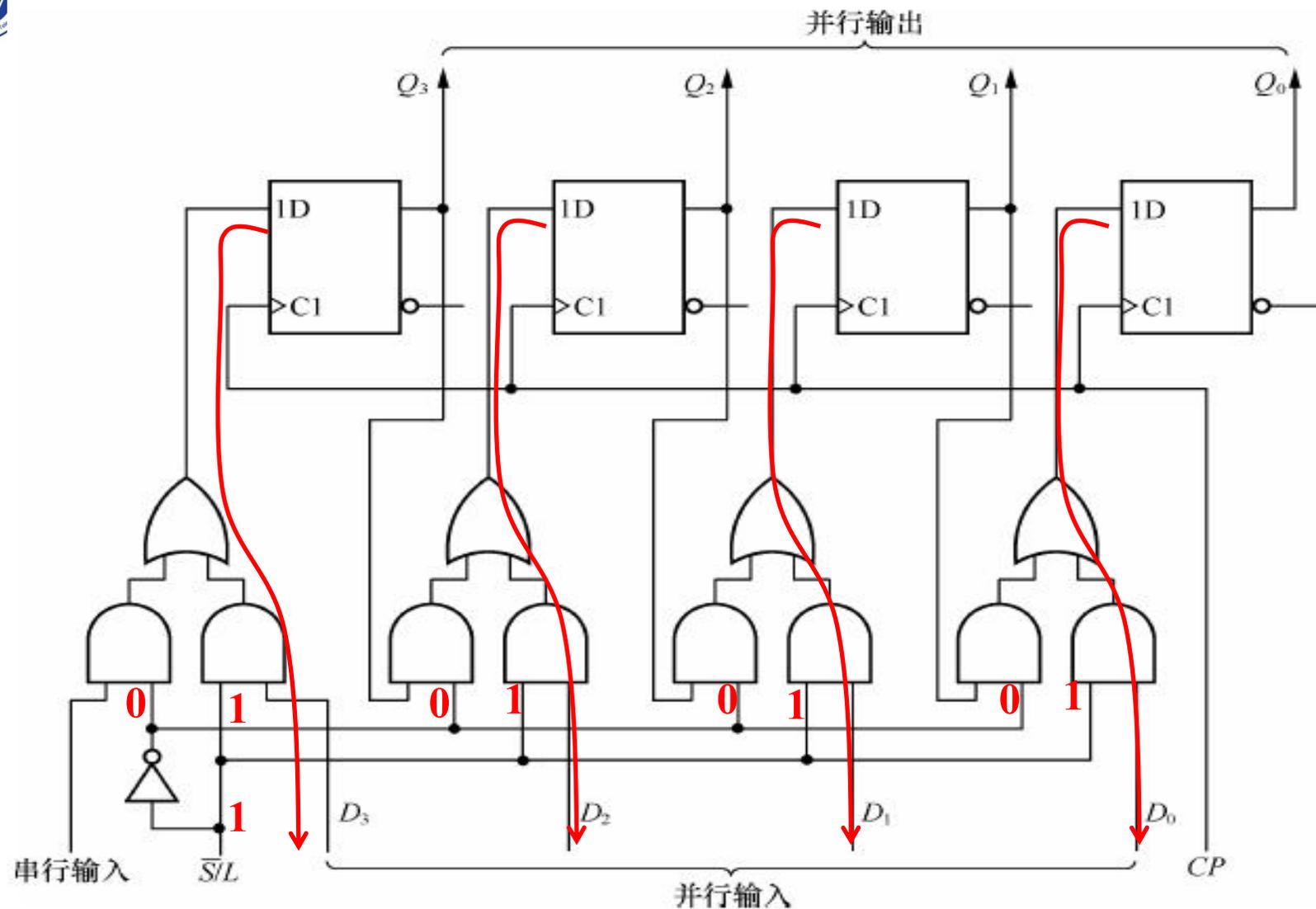
图5.2.1 DFF构成的4位右移寄存器



$\overline{S/L}=0, D_i=Q_{i+1}$, 实现右移

移位/置数

图5.2.1 可并行输入的4位移存器



$\overline{S/L}=0, D_i=Q_{i+1}$, 实现右移

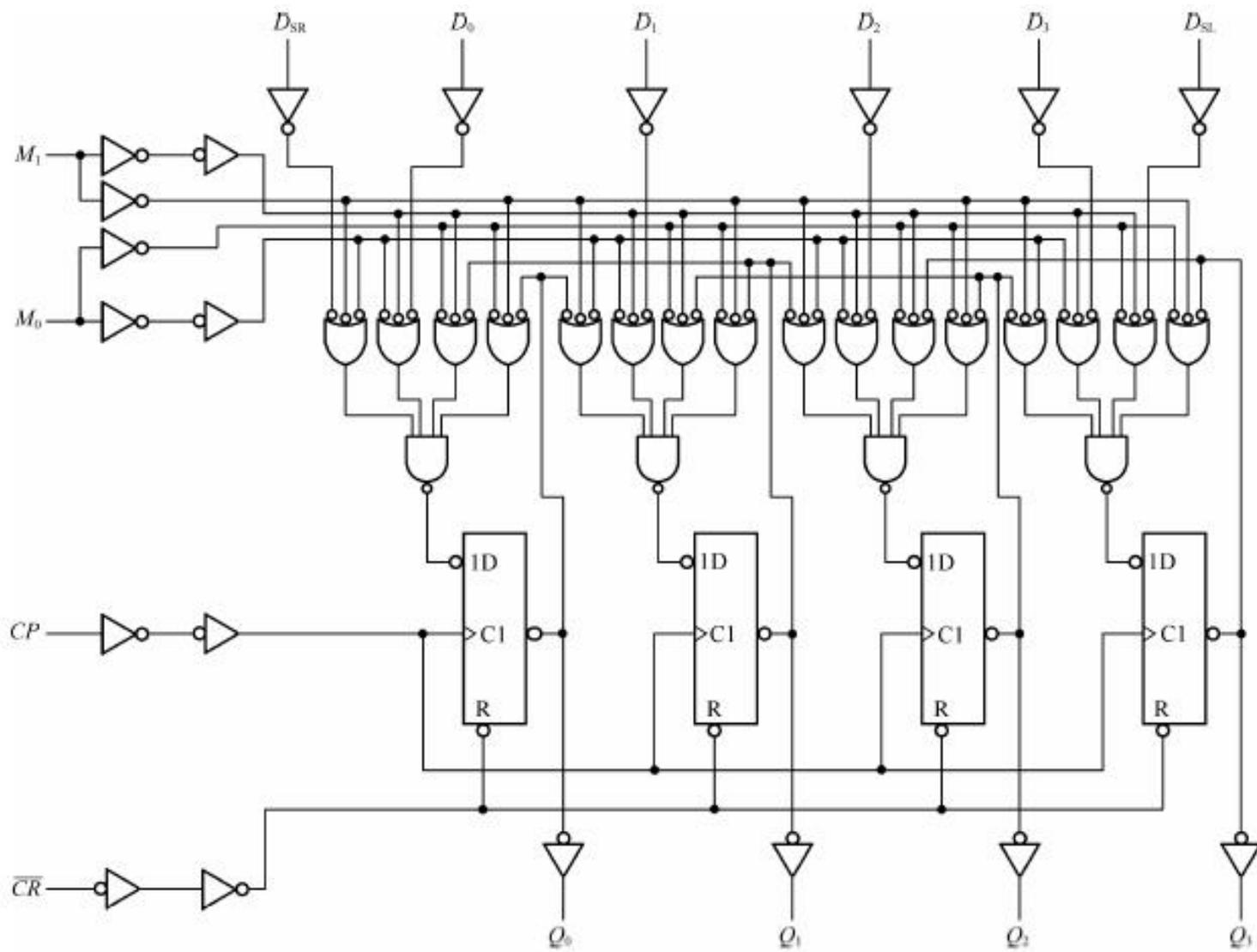
$\overline{S/L}=1, D_i=D_i$ (外), 实现置数

移位/置数

图5.2.1 可并行输入的4位移存器

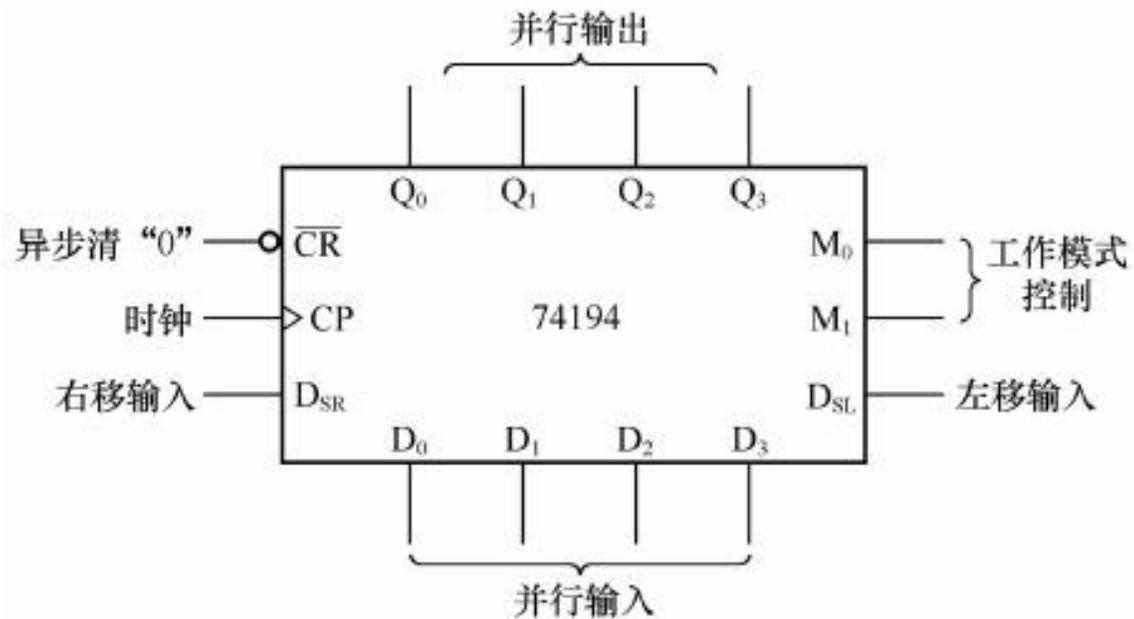
5.2.2 MSI移存器

4位串入、并入—串出、并出双向移存器74194



(a) 逻辑图

4位串入、并入—串出、并出双向移存器74194



(b) 简化逻辑符号

\overline{CR}	CP	M_1 M_0	功 能
0	ϕ	ϕ ϕ	直接清零
1	\uparrow	0 0	保 持
1	\uparrow	0 1	$D_{SR} \rightarrow Q_0 \rightarrow Q_1 \rightarrow Q_2 \rightarrow Q_3$
1	\uparrow	1 0	$Q_0 \leftarrow Q_1 \leftarrow Q_2 \leftarrow Q_3 \leftarrow D_{SL}$
1	\uparrow	1 1	并行输入

②94194功能表

功能	\overline{CR}	M_0	M_1	CP	D_{SR}	D_{SL}	D_0	D_1	D_2	D_3	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}
清除	0	×	×	×	×	×	×	×	×	×	0	0	0	0
并入	1	1	1	↑	×	×	d_0	d_1	d_2	d_3	d_0	d_1	d_2	d_3
保持	1	×	×	0	×	×	×	×	×	×	Q_0^n	Q_1^n	Q_2^n	Q_3^n
	1	0	0	×	×	×	×	×	×	×				
右移	1	1	0	↑	1	×	×	×	×	×	1	Q_0^n	Q_1^n	Q_2^n
	1	1	0	↑	0	×	×	×	×	×	0	Q_0^n	Q_1^n	Q_2^n
左移	1	0	1	↑	×	1	×	×	×	×	Q_1^n	Q_2^n	Q_3^n	1
	1	0	1	↑	×	0	×	×	×	×	Q_1^n	Q_2^n	Q_3^n	0

③应用举例 a. 74194的扩展

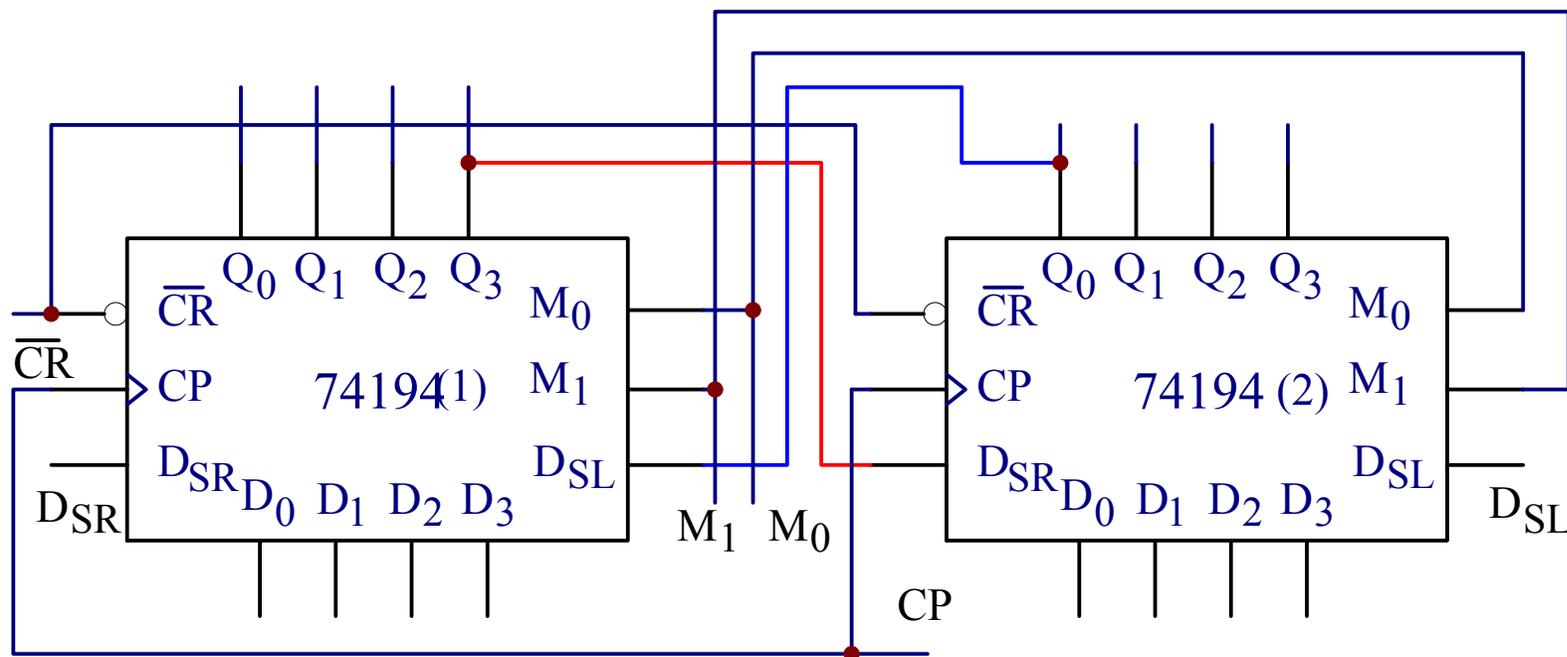


图5.2.4 两片74194构成8位双向移存器

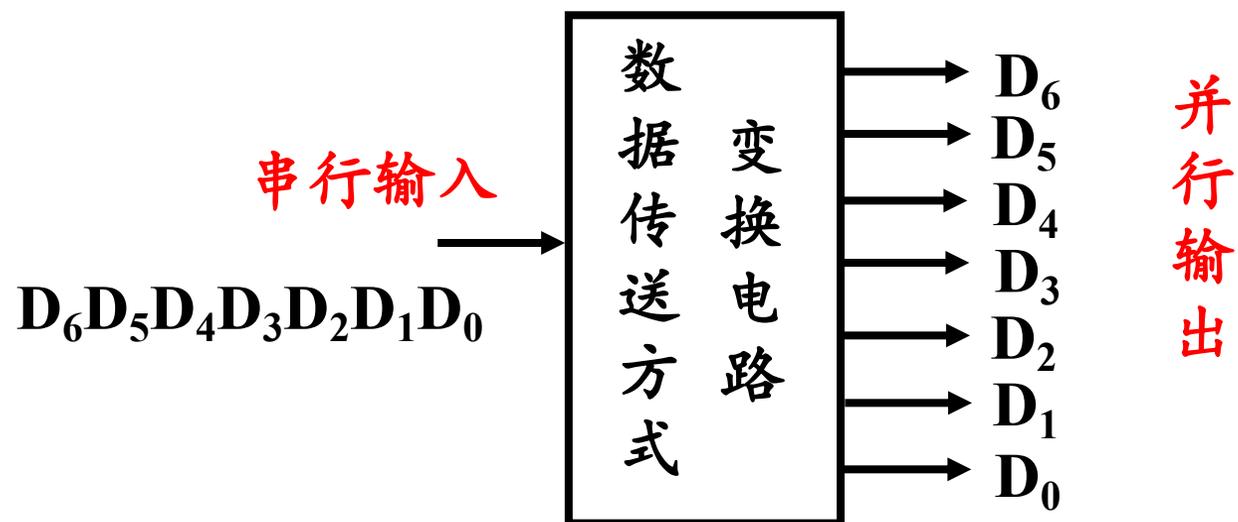
第五章 时序逻辑电路

5.2.2 MSI移位寄存器

94194的应用

b. 实现数据传输方式转换

※ 串行→并行



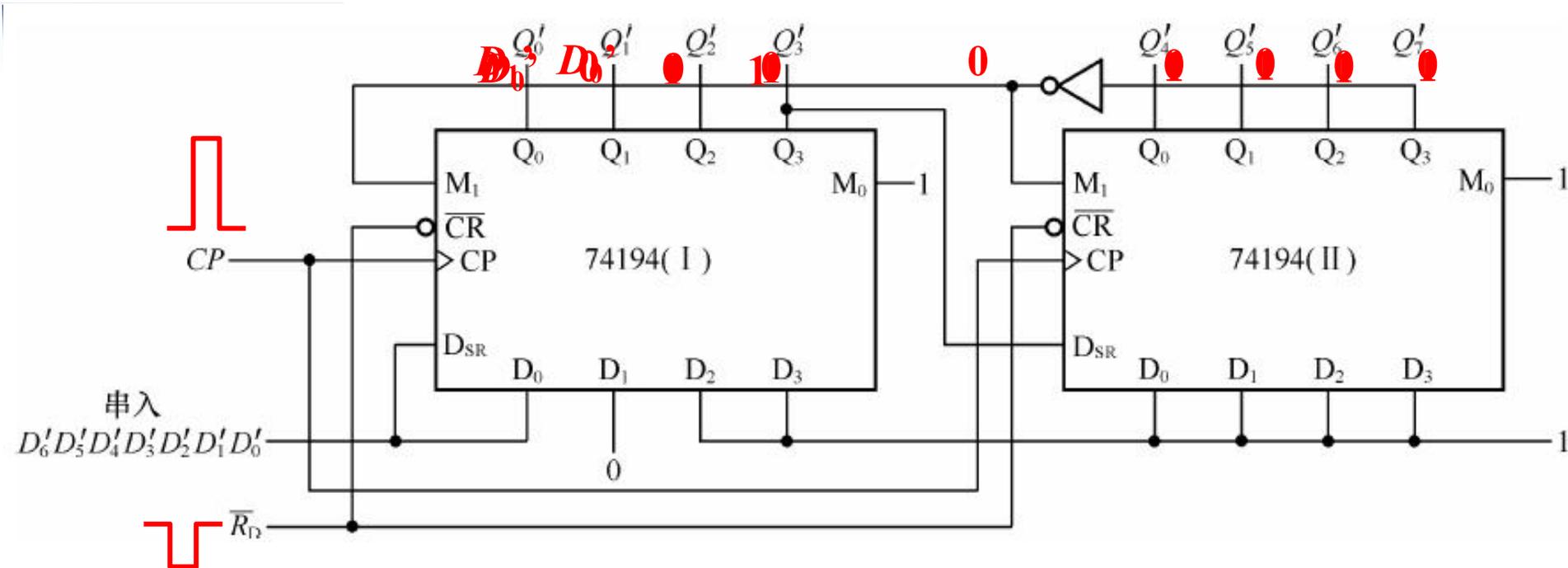


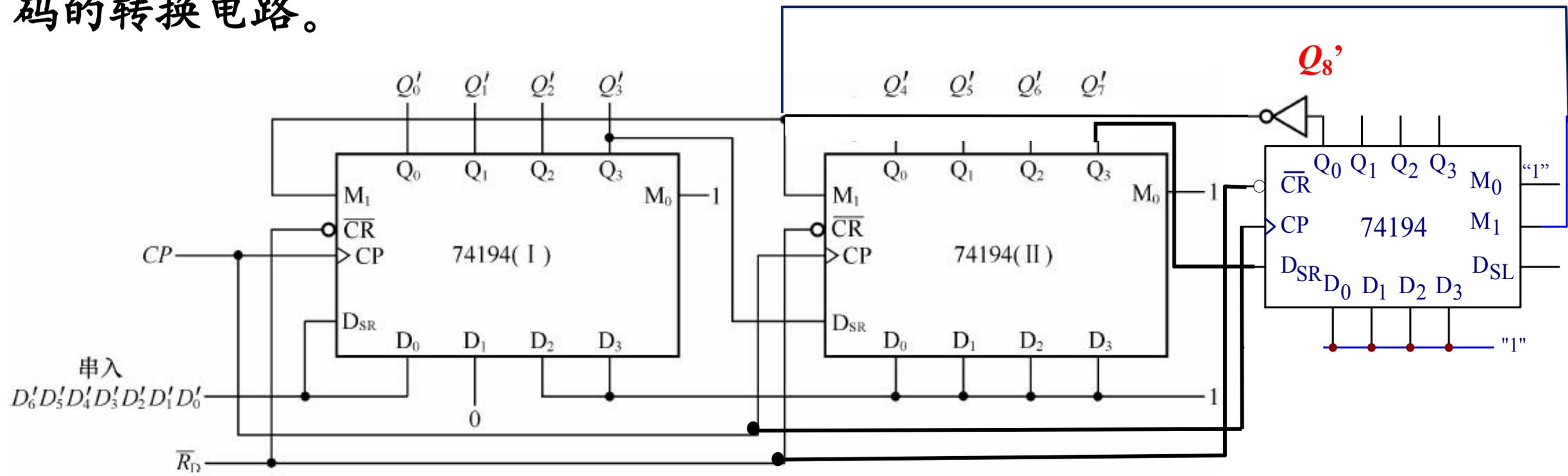
图5.2.5 7位串入—并出转换电路

	Q_0'	Q_1'	Q_2'	Q_3'	Q_4'	Q_5'	Q_6'	Q_7'	M_1	M_0	下一操作
清0	0	0	0	0	0	0	0	0	1	1	准备送数
$CP_1 \uparrow$	D_0'	0	1	1	1	1	1	1	0	1	准备右移
$CP_2 \uparrow$	D_1'	D_0'	0	1	1	1	1	1	0	1	准备右移

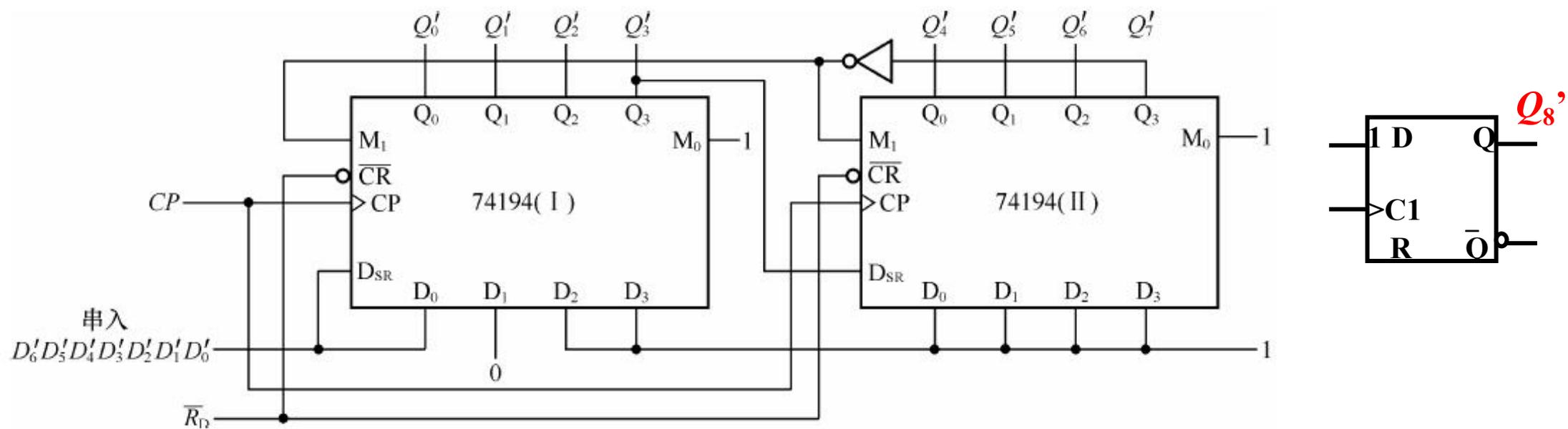
表5.2.3 7位串入—并出转换电路的状态转移表

	Q_0'	Q_1'	Q_2'	Q_3'	Q_4'	Q_5'	Q_6'	Q_7'	M_1	M_0	下一操作
清0	0	0	0	0	0	0	0	0	1	1	准备送数
$CP_1 \uparrow$	D_0'	0	1	1	1	1	1	1	0	1	准备右移
$CP_2 \uparrow$	D_1'	D_0'	0	1	1	1	1	1	0	1	准备右移
$CP_3 \uparrow$	D_2'	D_1'	D_0'	0	1	1	1	1	0	1	准备右移
$CP_4 \uparrow$	D_3'	D_2'	D_1'	D_0'	0	1	1	1	0	1	准备右移
$CP_5 \uparrow$	D_4'	D_3'	D_2'	D_1'	D_0'	0	1	1	0	1	准备右移
$CP_6 \uparrow$	D_5'	D_4'	D_3'	D_2'	D_1'	D_0'	0	1	0	1	准备右移
$CP_7 \uparrow$	D_6'	D_5'	D_4'	D_3'	D_2'	D_1'	D_0'	0	1	1	准备送数

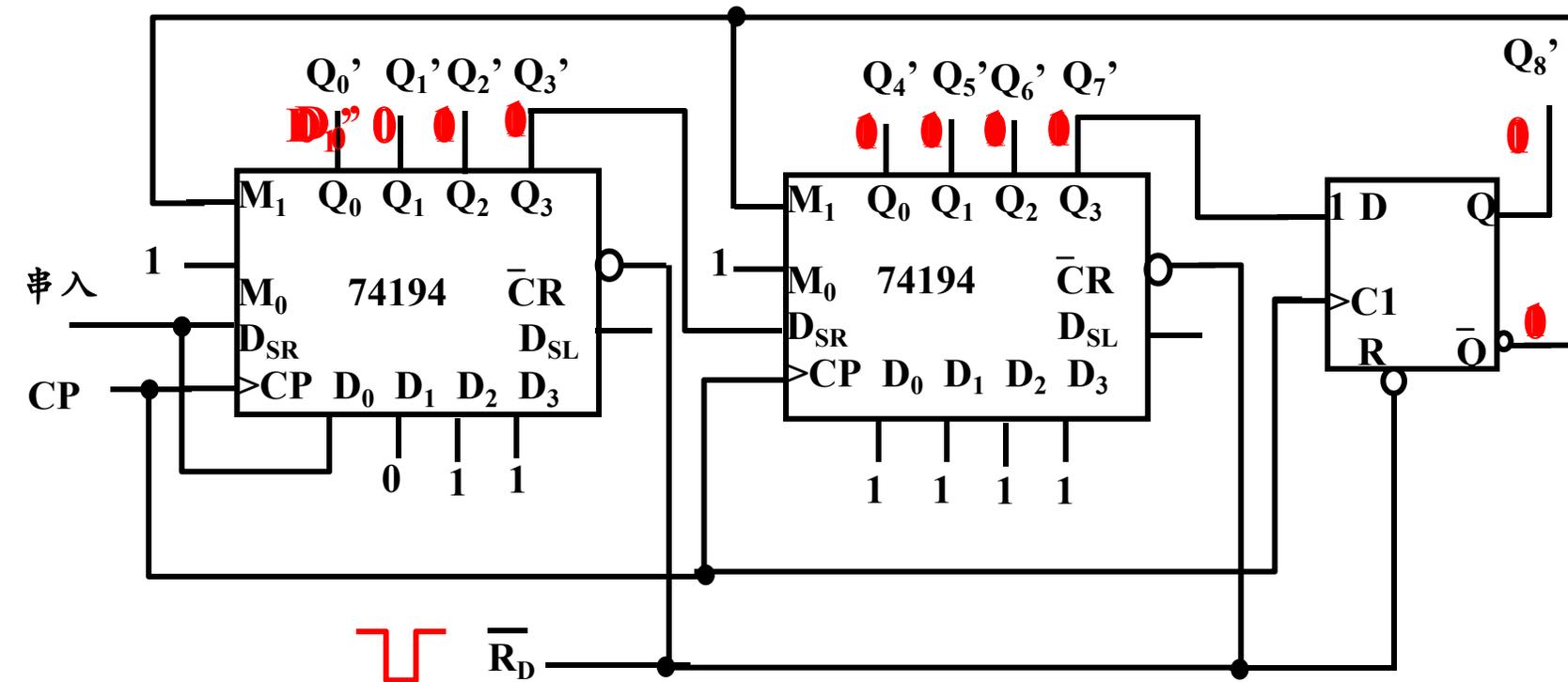
思考：在下图电路基础上增加一片94194和适当的门电路构成8位串行→并行码的转换电路。



思考：在下图电路基础上增加一个DFF和适当的门电路构成8位串行→并行码的转换电路。

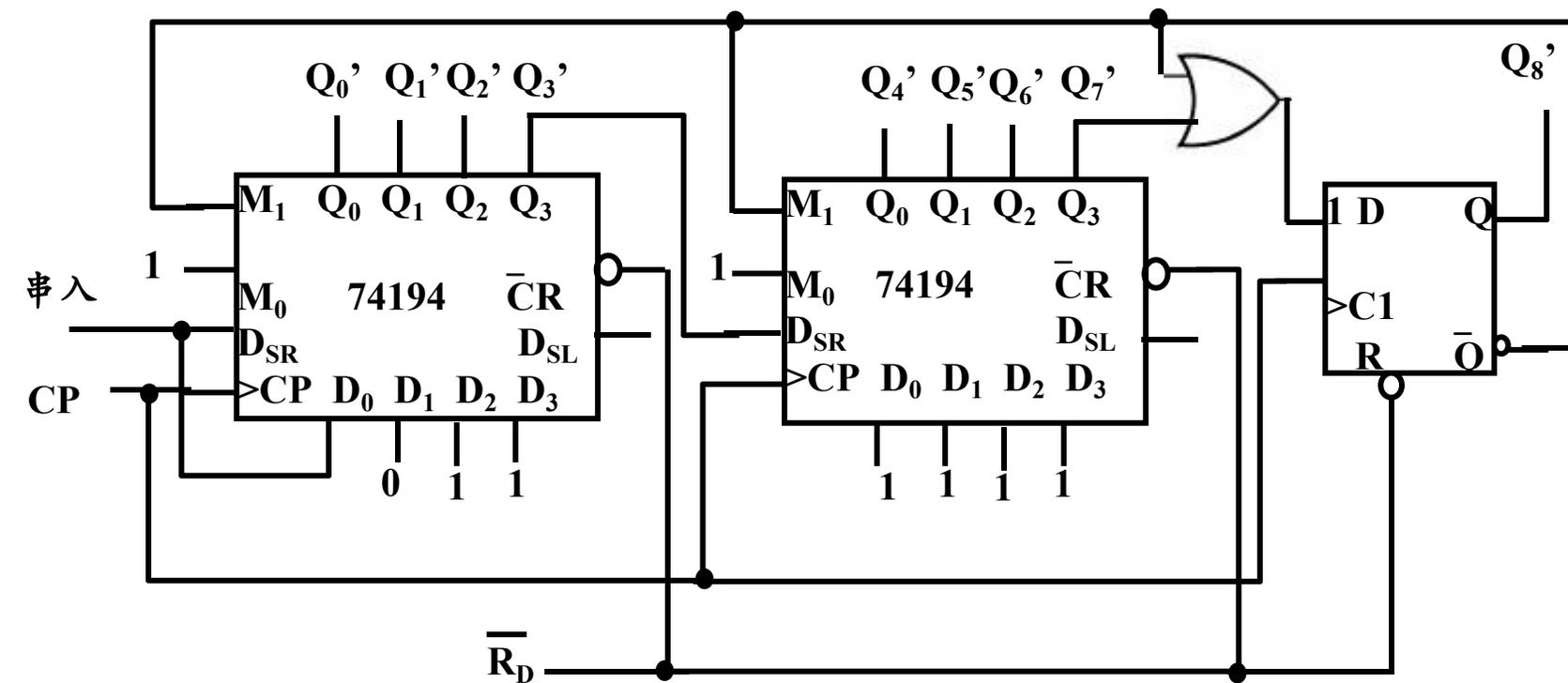


方法一：触发器的输出作 Q_8'



	Q_0'	Q_1'	Q_2'	Q_3'	Q_4'	Q_5'	Q_6'	Q_7'	Q_8'	M_1	M_0	操作
清零	0	0	0	0	0	0	0	0	0	1	1	准备并入
$CP_1 \uparrow$	D_0'	0	1	1	1	1	1	1	0	1	1	准备并入
$CP_2 \uparrow$	D_1'	0	1	1	1	1	1	1	1	0	1	准备右移
$CP_3 \uparrow$	D_2'	D_1'	0	1	1	1	1	1	1	0	1	准备右移

方法一：触发器的输出作 Q_8'



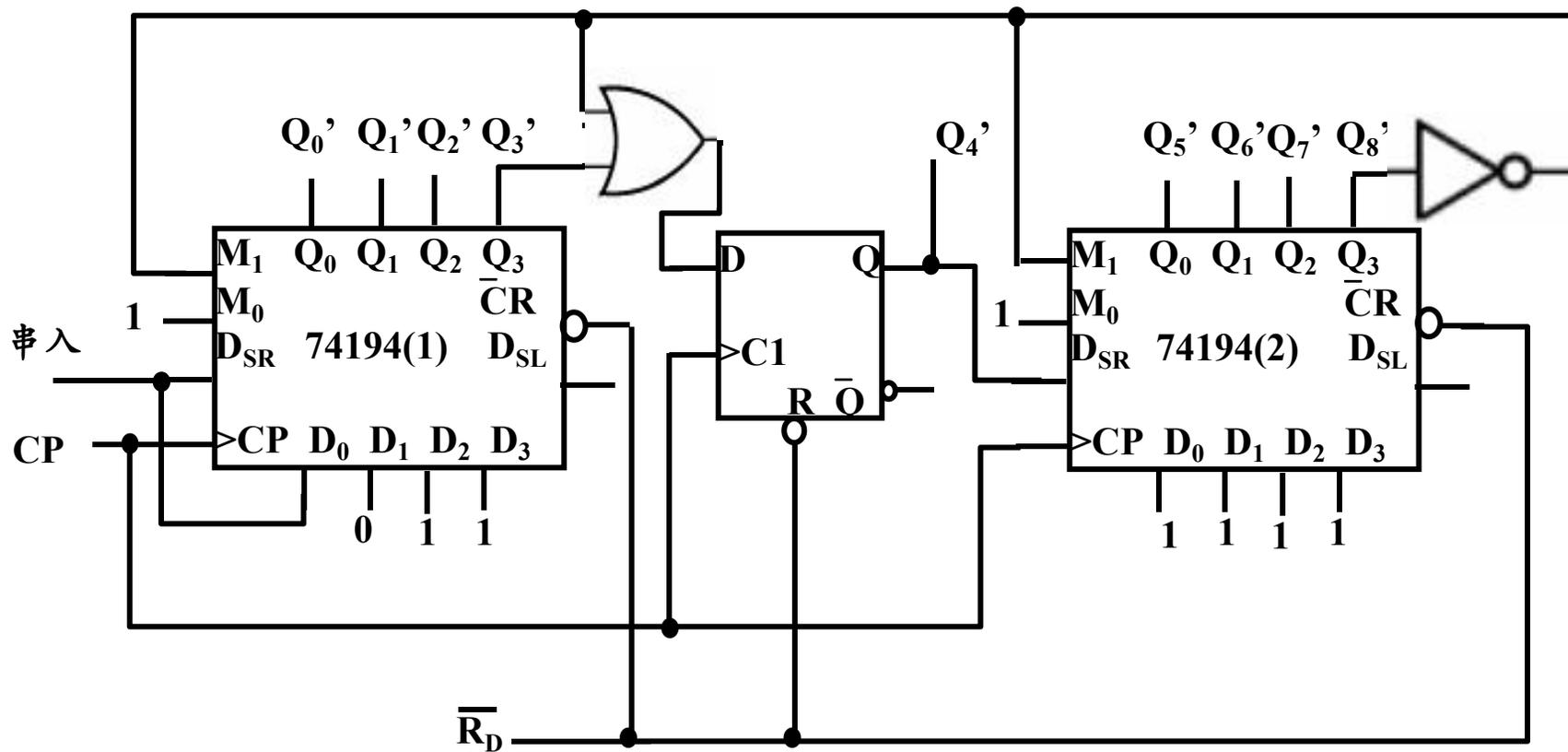
M_1	1D
0	Q_7'
1	1

$$1D = \bar{M}_1 Q_7' + M_1$$

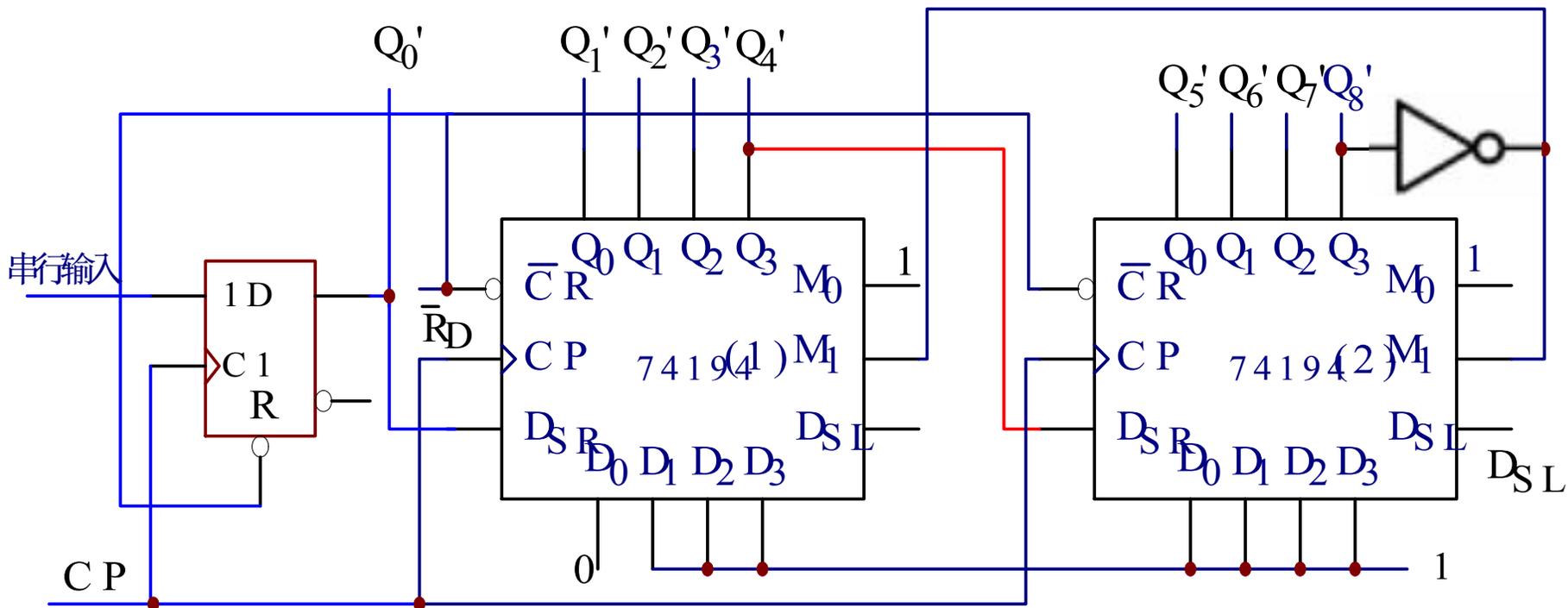
$$= Q_7' + M_1$$

	Q_0'	Q_1'	Q_2'	Q_3'	Q_4'	Q_5'	Q_6'	Q_7'	Q_8'	M_1	M_0	操作
清零	0	0	0	0	0	0	0	0	0	1	1	准备并入
$CP_1 \uparrow$	D_0'	0	1	1	1	1	1	1	1	1	1	准备并入
$CP_2 \uparrow$	D_1'	D_0'	0	1	1	1	1	1	1	0	1	准备右移
$CP_3 \uparrow$	D_2'	D_1'	D_0'	0	1	1	1	1	1	0	1	准备右移

方法二：触发器输出作 Q_4'

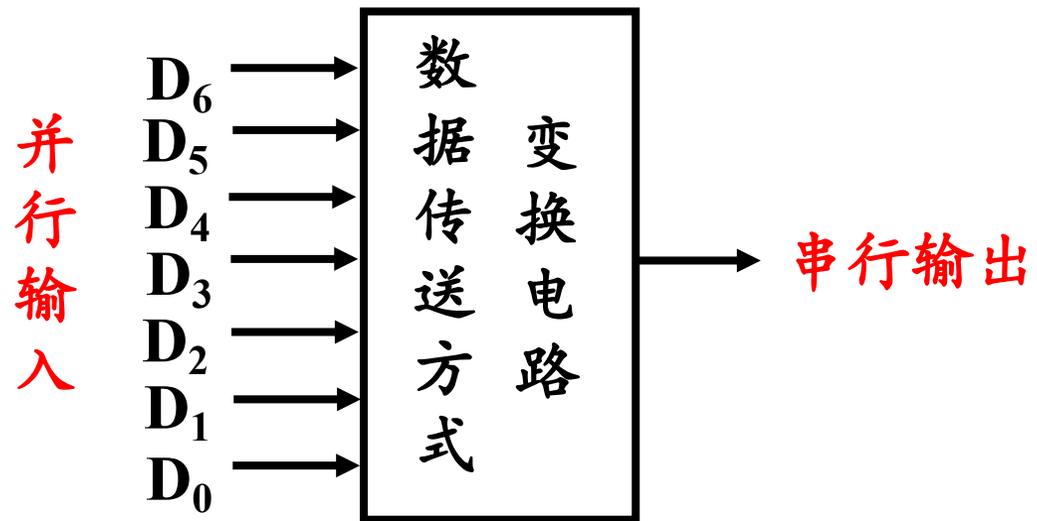


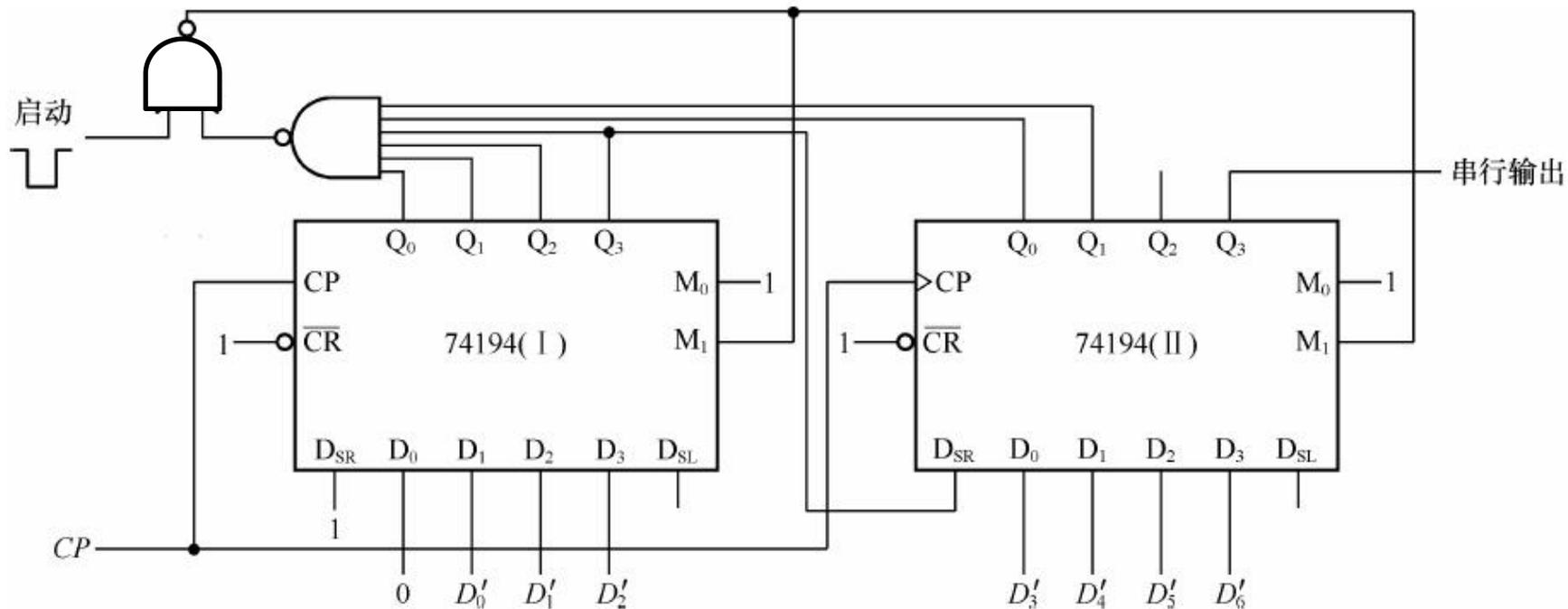
方法三：触发器输出作 Q_0'



	Q_0'	Q_1'	Q_2'	Q_3'	Q_4'	Q_5'	Q_6'	Q_7'	Q_8'	$M_1 M_0$	操作
清零	0	0	0	0	0	0	0	0	0	1 1	准备并入
$CP_1 \uparrow$	D_0'	0	1	1	1	1	1	1	1	1 1	准备并入
$CP_2 \uparrow$	D_1'	D_0'	0	1	1	1	1	1	1	0 1	准备右移
$CP_3 \uparrow$	D_2'	D_1'	D_0'	0	1	1	1	1	1	0 1	准备右移

※ 并行 → 串行





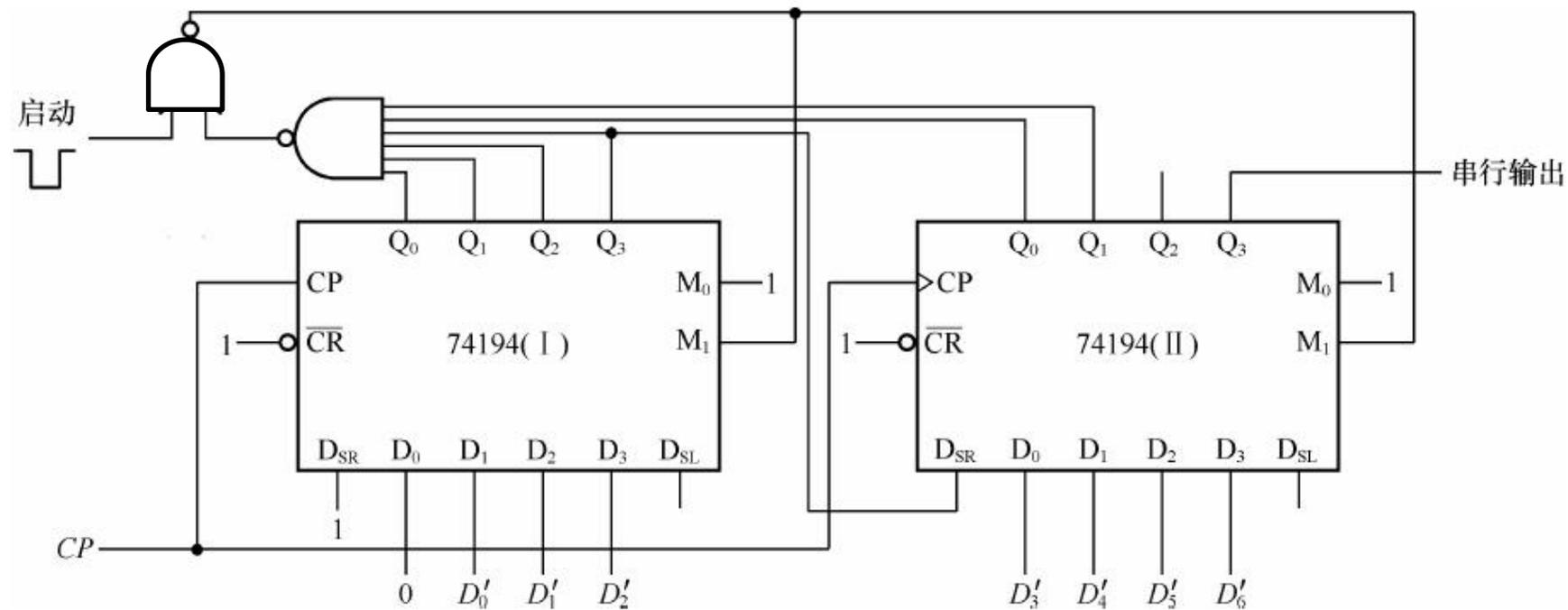
	I				II				M_1 M_0	下一操作
	Q_0	Q_1	Q_2	Q_3	Q_0	Q_1	Q_2	Q_3		
启动	0	0	0	0	0	0	0	0	1 1	准备并入
$CP_1 \uparrow$	0	D'_0	D'_1	D'_2	D'_3	D'_4	D'_5	D'_6	0 1	准备右移
$CP_2 \uparrow$	1	0	D'_0	D'_1	D'_2	D'_3	D'_4	D'_5	0 1	准备右移
$CP_3 \uparrow$	1	1	0	D'_0	D'_1	D'_2	D'_3	D'_4	0 1	准备右移



表5.2.4 7位并入—串出转换电路的状态转移表

	I				II				M ₁ M ₀	下一操作
	Q ₀	Q ₁	Q ₂	Q ₃	Q ₀	Q ₁	Q ₂	Q ₃		
启动	∅	∅	∅	∅	∅	∅	∅	∅	1 1	准备并入
CP ₁ ↑	0	D' ₀	D' ₁	D' ₂	D' ₃	D' ₄	D' ₅	D' ₆	0 1	准备右移
CP ₂ ↑	1	0	D' ₀	D' ₁	D' ₂	D' ₃	D' ₄	D' ₅	0 1	准备右移
CP ₃ ↑	1	1	0	D' ₀	D' ₁	D' ₂	D' ₃	D' ₄	0 1	准备右移
CP ₄ ↑	1	1	1	0	D' ₀	D' ₁	D' ₂	D' ₃	0 1	准备右移
CP ₅ ↑	1	1	1	1	0	D' ₀	D' ₁	D' ₂	0 1	准备右移
CP ₆ ↑	1	1	1	1	1	0	D' ₀	D' ₁	0 1	准备右移
CP ₇ ↑	1	1	1	1	1	1	0	D' ₀	1 1	准备并入

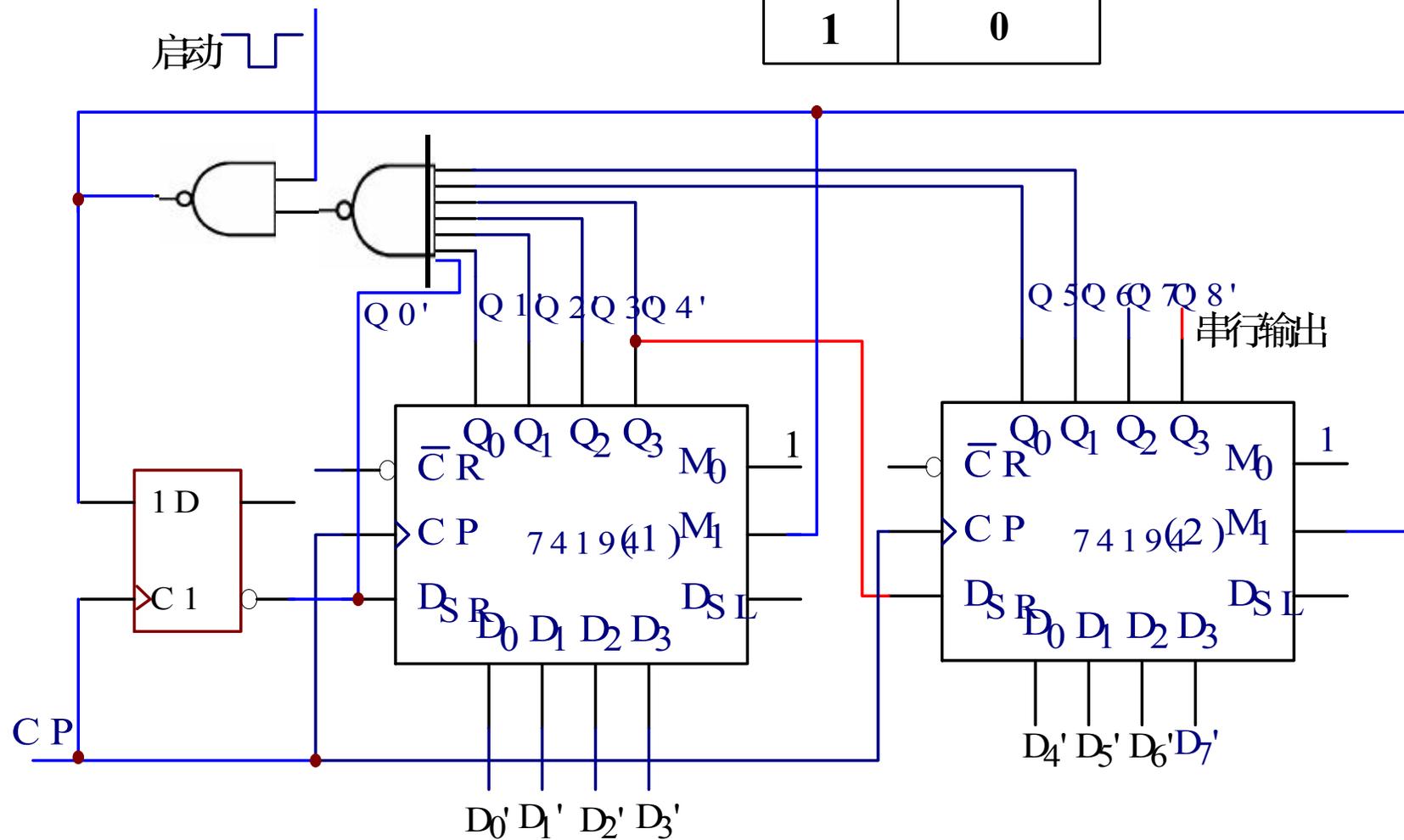
在下图基础上增加一片 DFF 和适当的门电路构成 8 位并行 \rightarrow 串行码的转换电路。



方法一：触发器输出作 Q_0'

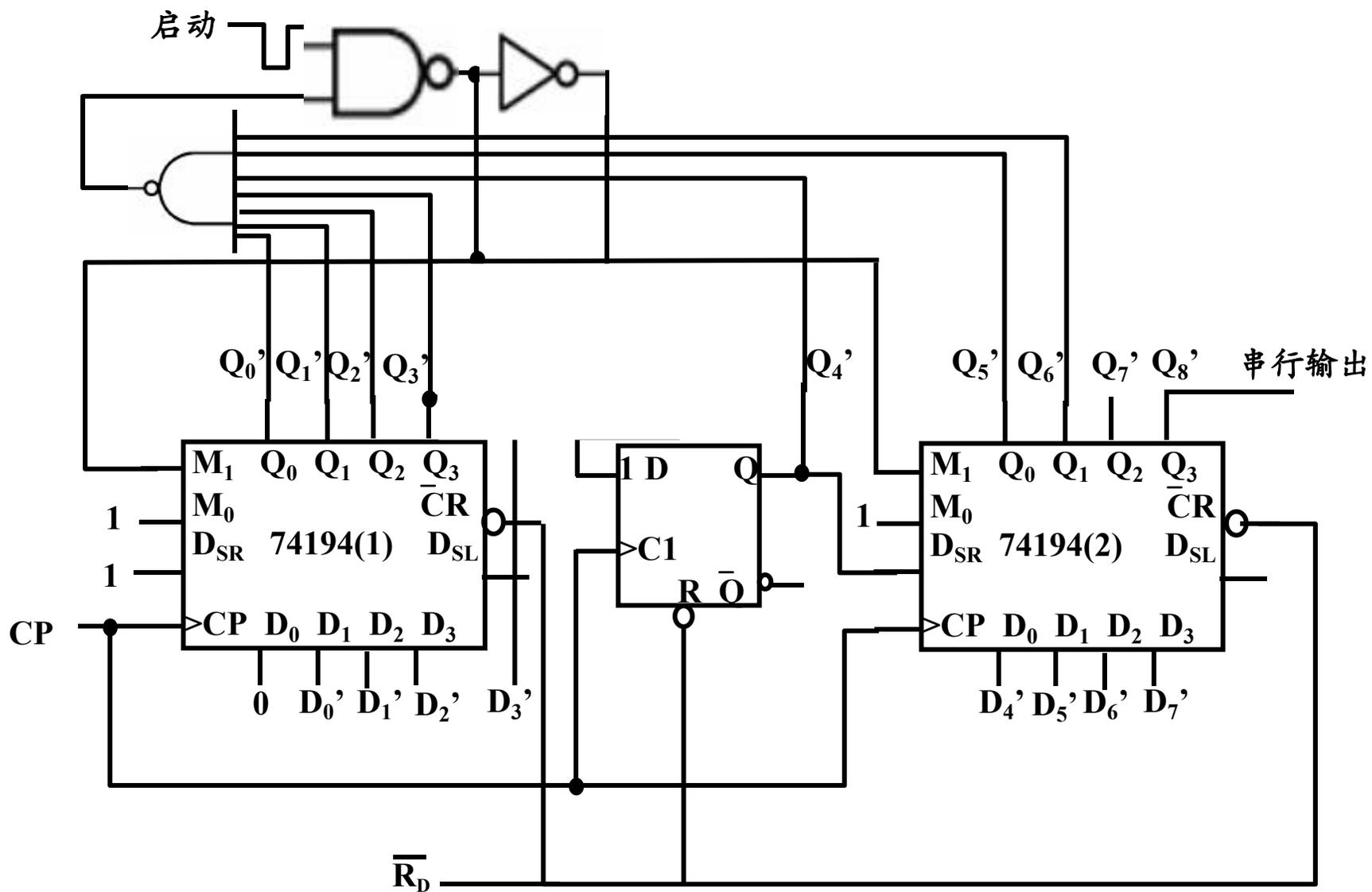
M_1	$1D$
0	1
1	0

$$1D = \overline{M_1}$$



	I		
	Q_0	Q_1	Q_2
启动	0	0	0
$CP_1 \uparrow$	0	D'_0	D'_1
$CP_2 \uparrow$	1	0	D'_0
$CP_3 \uparrow$	1	1	0

方法二：触发器输出作 Q_4'



M_1	1D
0	Q_3'
1	D_3

$$1D = \bar{M}_1 Q_3' + M_1 D_3$$

4位右移寄存器74195

J 、 \bar{K} : 双端串行数据输入端

S / \bar{L} (Shift/Load): 移位/置数功能控制端

表5.2.5 74195的功能表

S/\bar{L}	J	\bar{K}	\bar{CR}	CP	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}	功 能
0	0	0	0	0	0	0	0	0	异步清除
1	0	0	1	↑	0	Q_0^n	Q_1^n	Q_2^n	串入、右移
1	0	1	1	↑	Q_0^n	Q_0^n	Q_1^n	Q_2^n	
1	1	0	1	↑	\bar{Q}_0^n	Q_0^n	Q_1^n	Q_2^n	
1	1	1	1	↑	1	Q_0^n	Q_1^n	Q_2^n	
0	0	0	1	↑	D_0	D_1	D_2	D_3	并 入

Q_0^{n+1} 由 J 、 \bar{K} 和 Q_0^n 决定

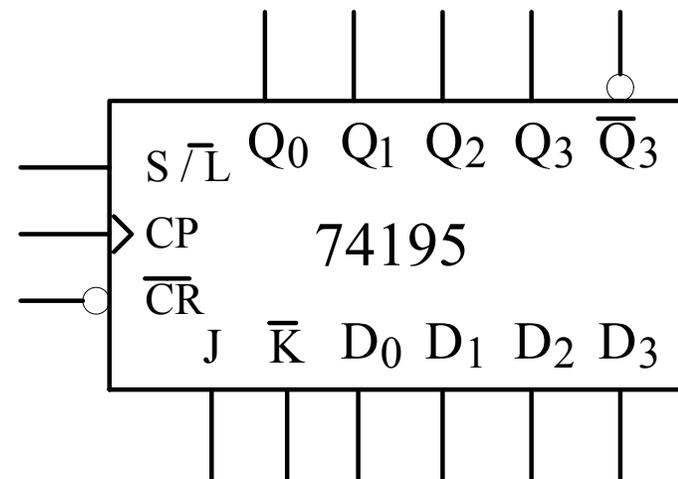


图5.2.7 74195的简化逻辑符号

串入、并入——串出8位右移寄存器74165

表5.2.6 74165的功能表

输 入					输 出								功 能
移位/ 置数	时钟 禁止	时 钟	串 入	并 入	内 部							外 部	
S/\bar{L}	$CLKINHIBIT$	CLK	D_{SR}	$D_0 \dots D_7$	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}	Q_3^{n+1}	Q_4^{n+1}	Q_5^{n+1}	Q_6^{n+1}	Q_7^{n+1}	
0	0	0	0	$d_0 \dots d_7$	d_0	d_1	d_2	d_3	d_4	d_5	d_6	d_7	异 步 置 数
1	0	0	0	0	Q_0^n	Q_1^n	Q_2^n	Q_3^n	Q_4^n	Q_5^n	Q_6^n	Q_7^n	保 持
1	0	↑	1	0	1	Q_0^n	Q_1^n	Q_2^n	Q_3^n	Q_4^n	Q_5^n	Q_6^n	右 移
1	0	↑	0	0	0	Q_0^n	Q_1^n	Q_2^n	Q_3^n	Q_4^n	Q_5^n	Q_6^n	右 移
1	1	0	0	0	Q_0^n	Q_1^n	Q_2^n	Q_3^n	Q_4^n	Q_5^n	Q_6^n	Q_7^n	保 持

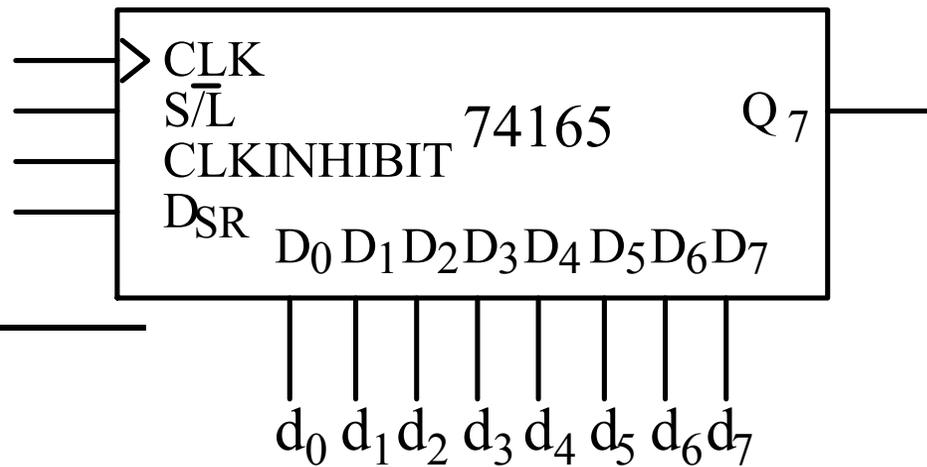


图5.2.8 74165的简化逻辑符号

第五章 时序逻辑电路

5.3 计数器

5.3 计数器

1. 计数器的作用

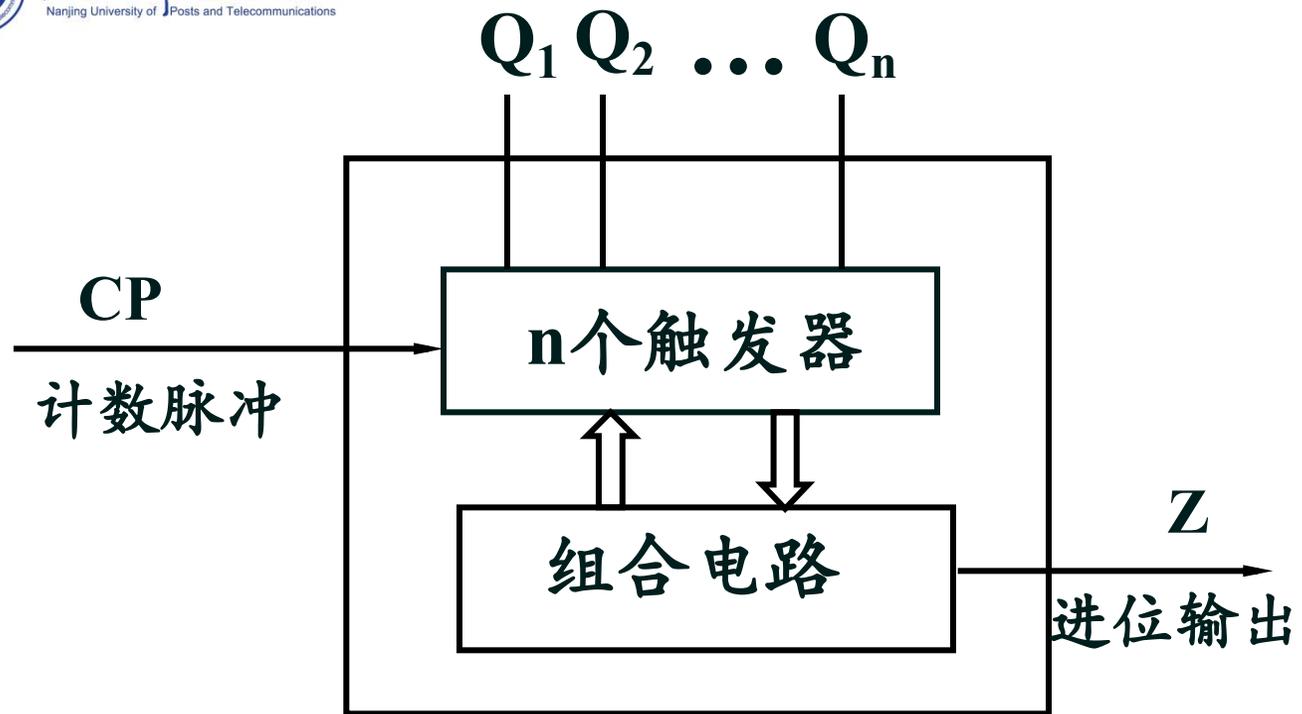
记忆输入脉冲的个数；用于定时、分频、产生节拍脉冲及进行数字运算等等。

2. 计数器的分类

按工作方式分：同步计数器和异步计数器。

按功能分：加法计数器、减法计数器和可逆计数器。

按计数器的计数容量(或称模数)来分：各种不同的计数器，如二进制计数器 ($M=2^n$)、十进制计数器 ($M=10$)、任意进制计数器等。



摩尔型 (Moore) 电路

图5.3.1 计数器的基本结构框图

5.3.1 同步计数器的分析

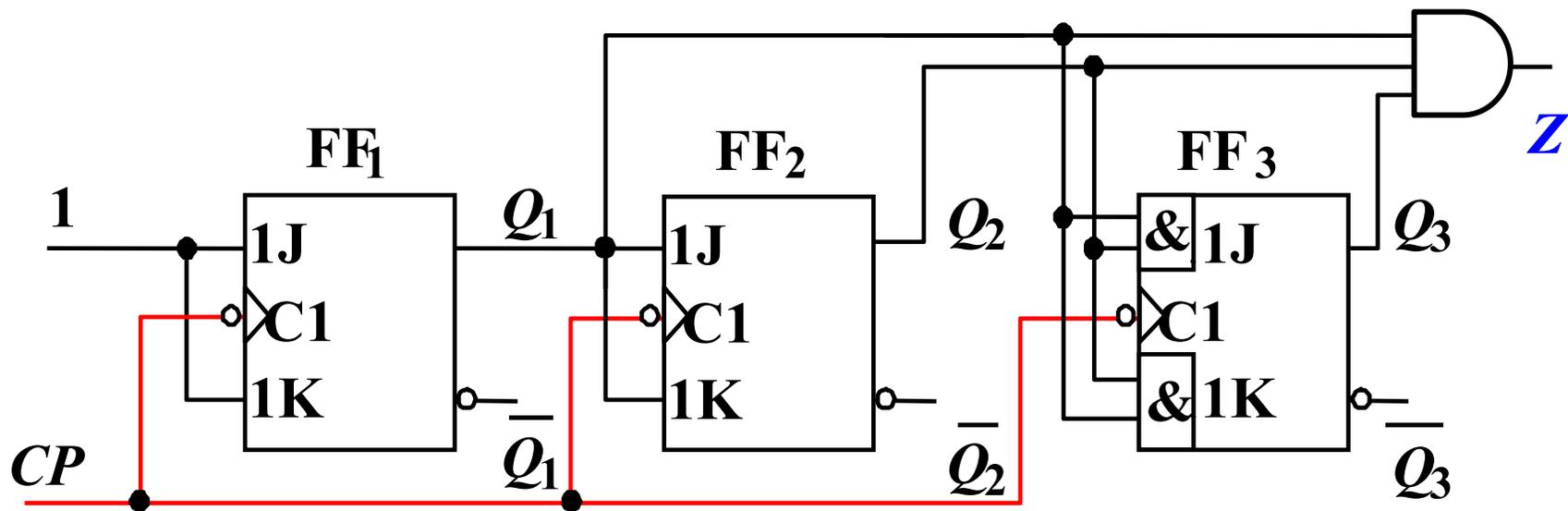
同步计数器的特点：在同步计数器内部，各个触发器都受同一时钟脉冲——输入计数脉冲的控制，因此，它们状态的更新几乎是同时的，故被称为“同步计数器”。

同步计数器的分析：根据电路图，说明计数器的功能：计数模长、计数编码、自启动性等。

同步计数器的分析步骤:

- ① 分析电路结构
- ② 写出三组方程
 - a. 各触发器的激励方程
 - b. 各触发器的次态方程
 - c. 电路的输出方程
- ③ 作状态转移表、状态转移图或波形图
- ④ 电路的逻辑功能描述

例：试分析下面的同步计数器。



①分析电路结构

$$J_3 = K_3 = Q_1^n Q_2^n$$

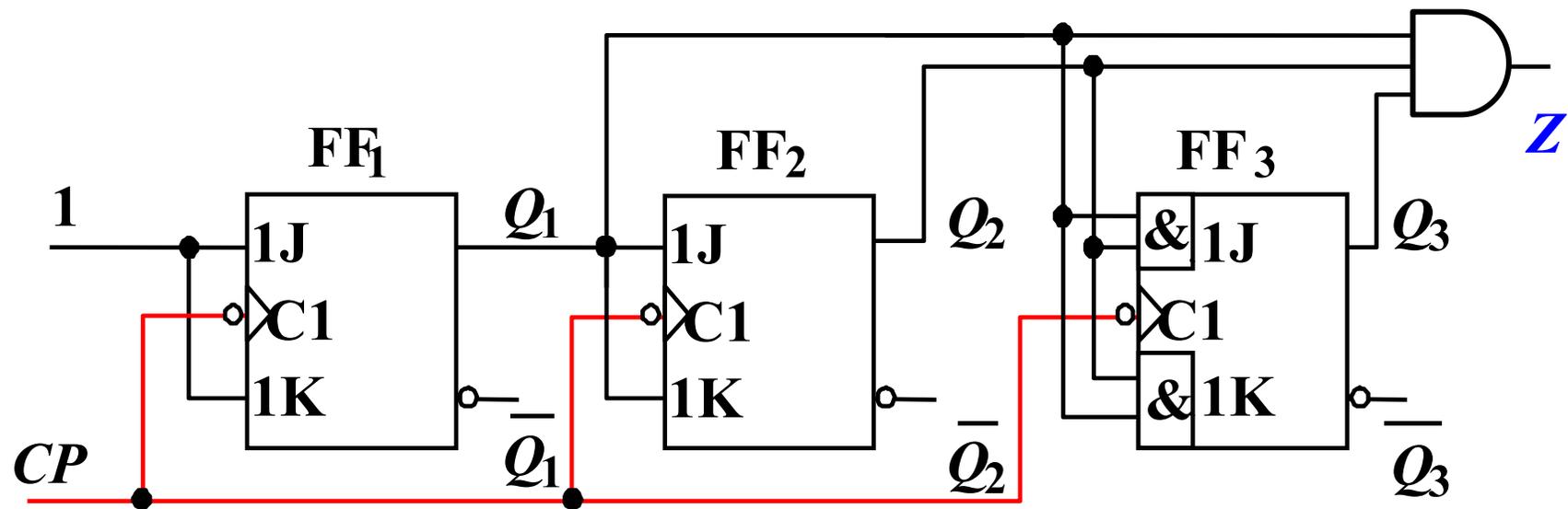
②写出三组方程

$$J_2 = K_2 = Q_1^n$$

a.各触发器的激励方程

$$J_1 = K_1 = 1$$

例：试分析下面的同步计数器。



$$J_3 = K_3 = Q_1^n Q_2^n$$

$$J_2 = K_2 = Q_1^n$$

$$J_1 = K_1 = 1$$

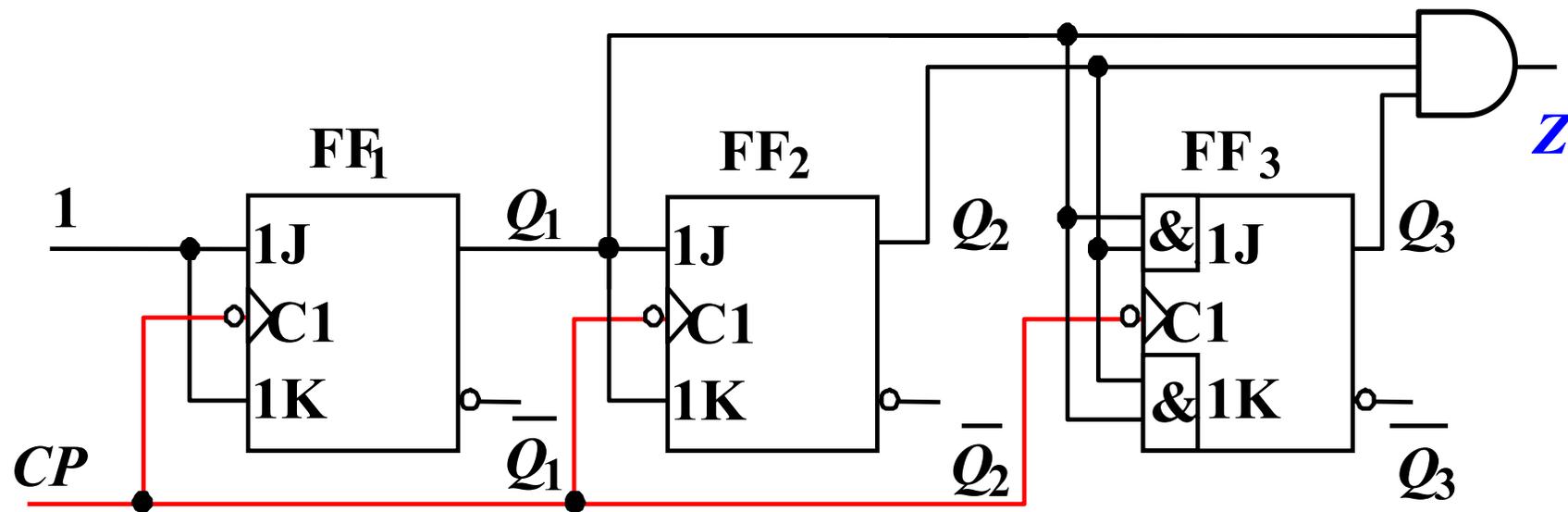
b. 各触发器的次态方程

$$Q_3^{n+1} = [(Q_1^n Q_2^n) \oplus Q_3^n] \cdot CP \downarrow$$

$$Q_2^{n+1} = [Q_1^n \oplus Q_2^n] \cdot CP \downarrow$$

$$Q_1^{n+1} = [\bar{Q}_1^n] \cdot CP \downarrow$$

例：试分析下面的同步计数器。



c. 电路的输出方程

$$Z = Q_1^n Q_2^n Q_3^n$$



③作状态转移表、状态转移图或波形图

图 5.3.1 的状态转移表:

序号 (CP↓ 的个数)	S(t)			N(t)			Z
	Q ₃	Q ₂	Q ₁	Q ₃	Q ₂	Q ₁	
0	0	0	0	0	0	1	0
1	0	0	1	0	1	0	0
2	0	1	0	0	1	1	0
3	0	1	1	1	0	0	0
4	1	0	0	1	0	1	0
5							
6							
7							

$$Q_3^{n+1} = [(Q_1^n Q_2^n) \oplus Q_3^n] \cdot CP \downarrow$$

$$Q_2^{n+1} = [Q_1^n \oplus Q_2^n] \cdot CP \downarrow$$

$$Q_1^{n+1} = [\bar{Q}_1^n] \cdot CP \downarrow$$

$$Z = Q_1^n Q_2^n Q_3^n$$



③作状态转移表、状态转移图或波形图

图 5.3.1 的状态转移表:

序号 (CP↓ 的个数)	S(t)			N(t)			Z
	Q ₃	Q ₂	Q ₁	Q ₃	Q ₂	Q ₁	
0	0	0	0	0	0	1	0
1	0	0	1	0	1	0	0
2	0	1	0	0	1	1	0
3	0	1	1	1	0	0	0
4	1	0	0	1	0	1	0
5	1	0	1	1	1	0	0
6	1	1	0	1	1	1	0
7	1	1	1	0	0	0	1

$$Q_3^{n+1} = [(Q_1^n Q_2^n) \oplus Q_3^n] \cdot CP \downarrow$$

$$Q_2^{n+1} = [Q_1^n \oplus Q_2^n] \cdot CP \downarrow$$

$$Q_1^{n+1} = [\bar{Q}_1^n] \cdot CP \downarrow$$

$$Z = Q_1^n Q_2^n Q_3^n$$

表5.3.2 图5.3.2电路的状态转移表

CP↓的个数	S(t)			Z=Q ₃ Q ₂ Q ₁
	Q ₃	Q ₂	Q ₁	
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

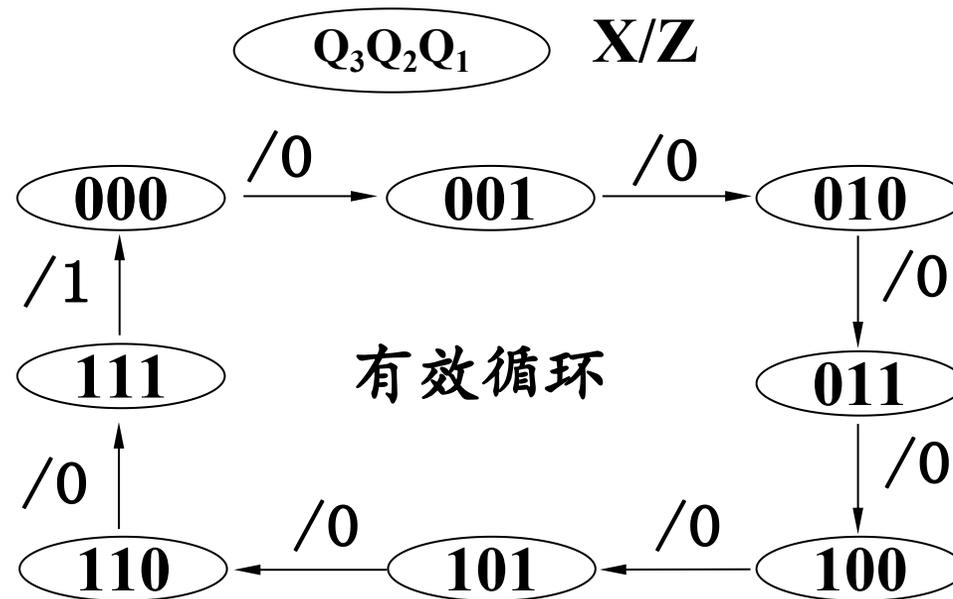
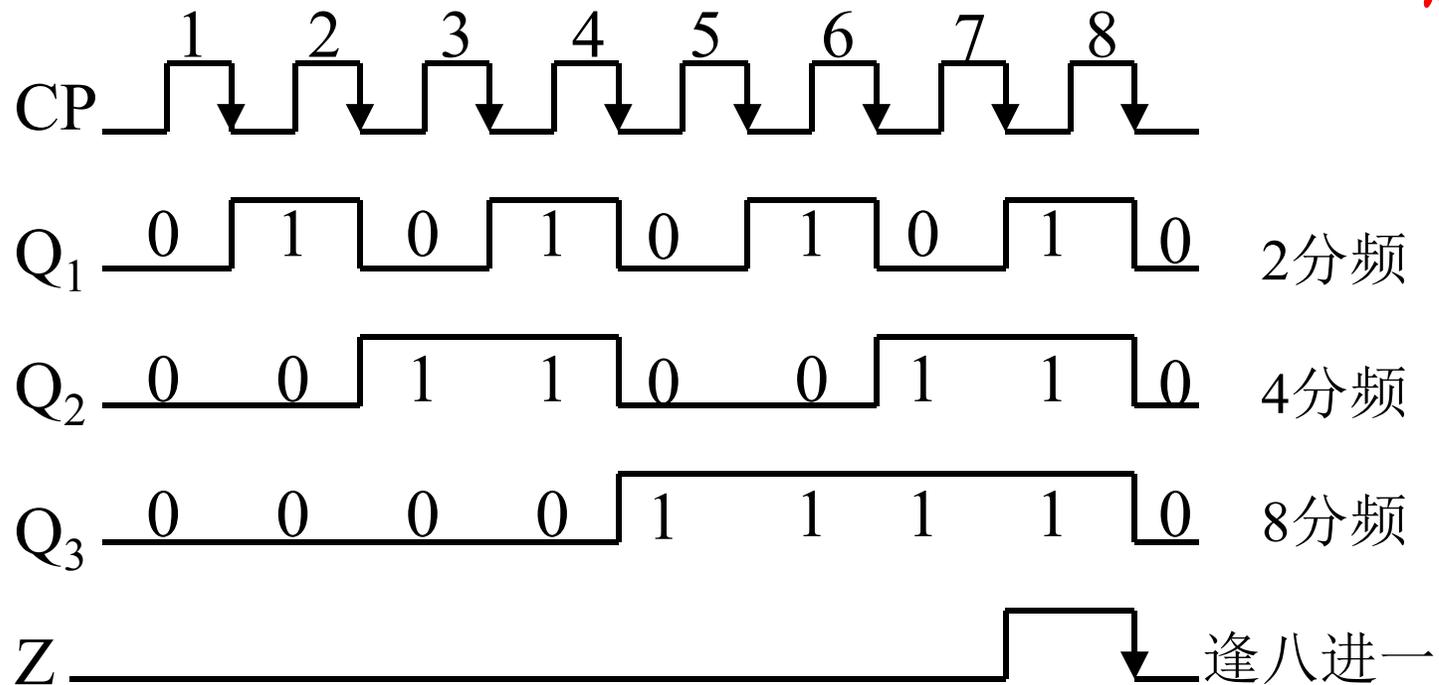


图5.3.3 状态转移图



总结规律:

Q_1 是一个TFF, 且 $T=1$ 。

Q_2 是一个TFF, 且 $T=Q_1^n$ 。

Q_3 是一个TFF, 且 $T=Q_1^n Q_2^n$ 。

$$Z = Q_1^n Q_2^n Q_3^n$$

④ 电路的逻辑功能描述

该电路是一个同步模8加法计数器电路
(或3位二进制同步加法计数器)。

二进制同步加法计数器的结构特点

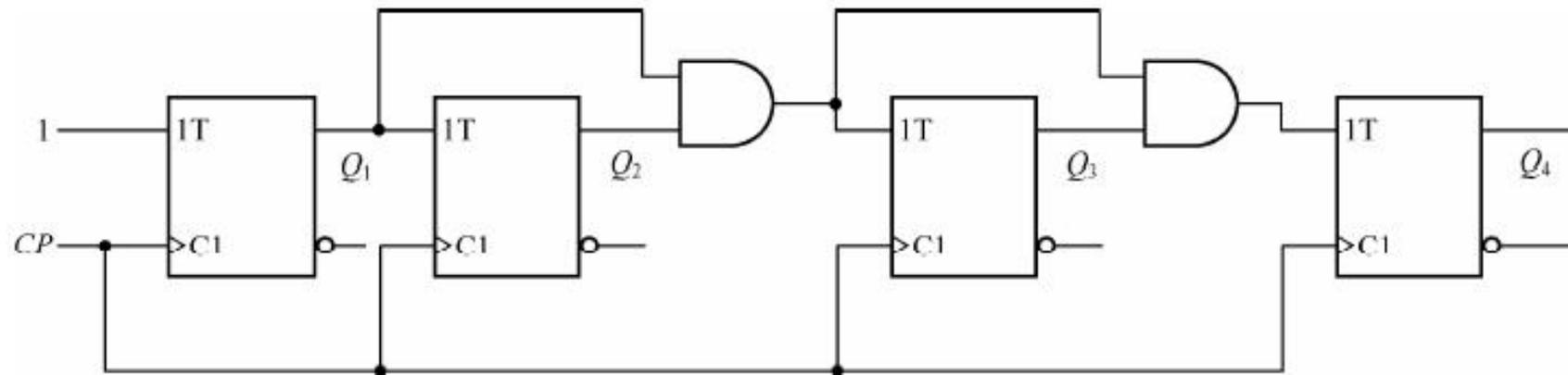


图 5.3.5 4 位二进制同步加法计数器

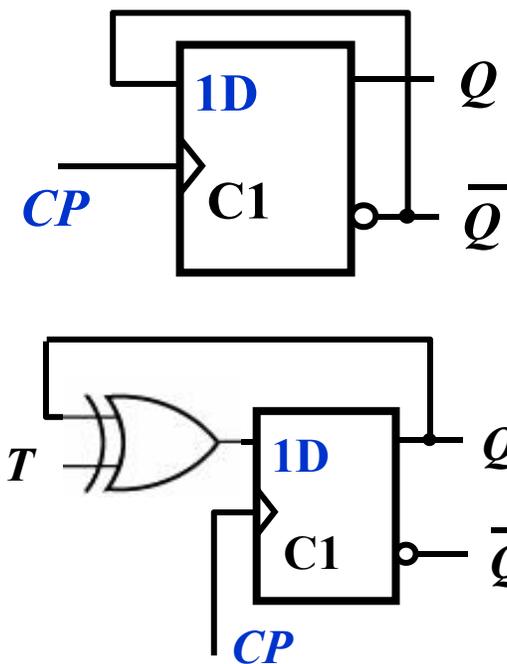
a. n位二进制计数器需要n个TFF

b. $T_1=1$,

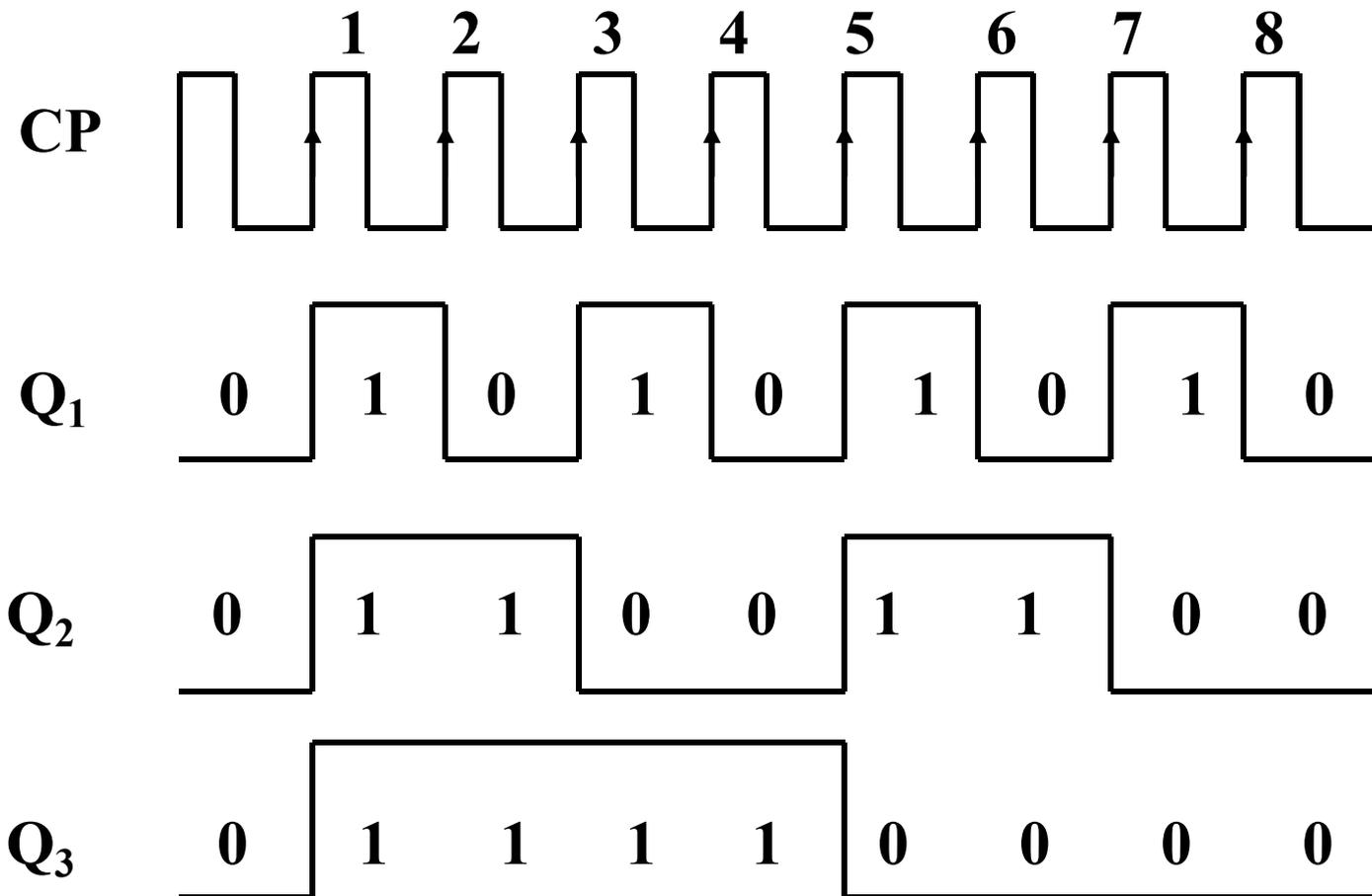
c. $T_i = \prod_{j=1}^{i-1} Q_j$ ($i = 2, 3, \dots, n$)

d. $Z = \prod_{j=1}^n Q_j$

DFF如何实现?



二进制减法计数器



① 结构特点

a. n位二进制计数器需要n个TFF

b. $T_1=1$,

c. $T_i = \prod_{j=1}^{i-1} \overline{Q_j} \quad (i = 2, 3, \dots, n)$

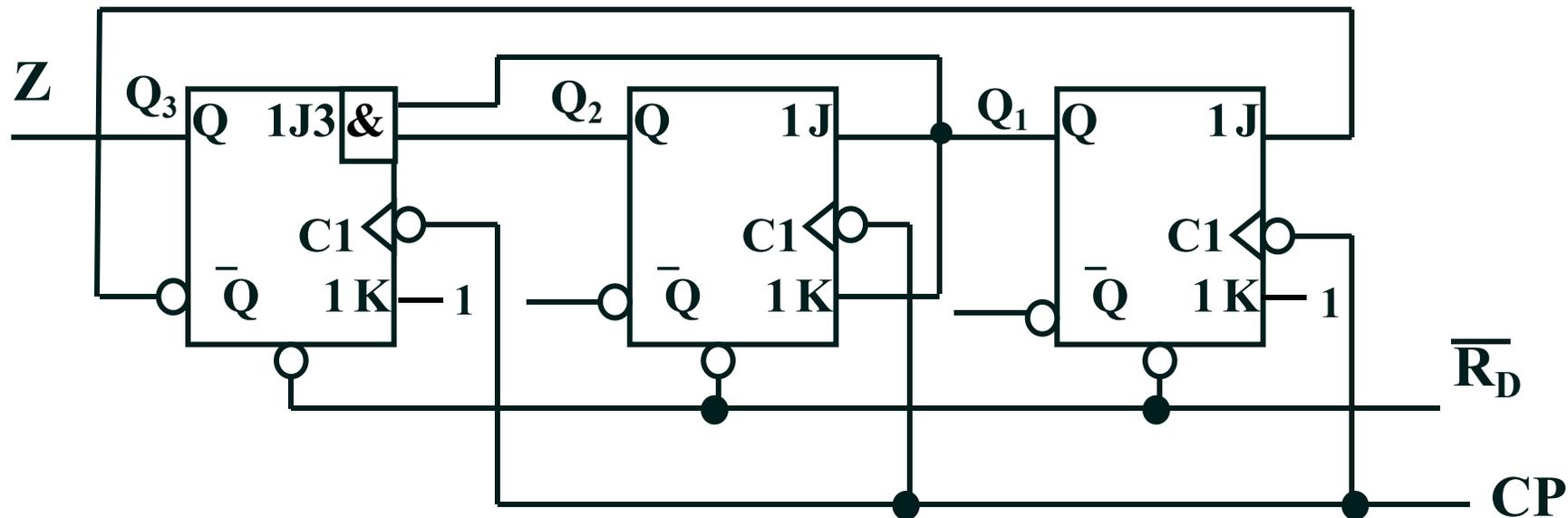
d. $Z = \prod_{j=1}^n \overline{Q_j}$

第五章 时序逻辑电路

5.3 计数器

5.3.1 同步计数器的分析

例5.3.2 试分析如下电路构成的计数器。



解：1、写出三组方程：

$$Q_3^{n+1} = (\overline{Q_3^n} Q_2^n Q_1^n) \cdot CP \downarrow$$

$$Q_2^{n+1} = (\overline{Q_2^n} Q_1^n + Q_2^n \overline{Q_1^n}) \cdot CP \downarrow$$

$$Q_1^{n+1} = (\overline{Q_3^n} \overline{Q_1^n}) \cdot CP \downarrow$$

$$Z = Q_3^n$$



$$Q_3^{n+1} = (\overline{Q_3^n} Q_2^n Q_1^n) \cdot CP \downarrow$$

$$Q_2^{n+1} = (\overline{Q_2^n} Q_1^n + Q_2^n \overline{Q_1^n}) \cdot CP \downarrow$$

$$Q_1^{n+1} = (\overline{Q_3^n} \overline{Q_1^n}) \cdot CP \downarrow$$

$$Z = Q_3^n$$

$Q_3^n \backslash Q_2^n Q_1^n$	00	01	11	10
0	0	0	1	0
1	0	0	0	0

Q_3^{n+1}



$$Q_3^{n+1} = (\overline{Q_3^n} Q_2^n Q_1^n) \cdot CP \downarrow$$

$$Q_2^{n+1} = (\overline{Q_2^n} Q_1^n + Q_2^n \overline{Q_1^n}) \cdot CP \downarrow$$

$$Q_1^{n+1} = (\overline{Q_3^n} \overline{Q_1^n}) \cdot CP \downarrow$$

$$Z = Q_3^n$$

$Q_3^n \backslash Q_2^n Q_1^n$	00	01	11	10
0	00	01	10	01
1	00	01	00	01

$Q_3^{n+1} \quad Q_2^{n+1}$



$$Q_3^{n+1} = (\overline{Q_3^n} Q_2^n Q_1^n) \cdot CP \downarrow$$

$$Q_2^{n+1} = (\overline{Q_2^n} Q_1^{n+1} + Q_2^n \overline{Q_1^n}) \cdot CP \downarrow$$

$$Q_1^{n+1} = (\overline{Q_3^n} \overline{Q_1^n}) \cdot CP \downarrow$$

$$Z = Q_3^n$$

		$Q_2^n Q_1^n$			
		00	01	11	10
Q_3^n	0	001/0	010/0	100/0	011/0
	1	000/1	010/1	000/1	010/1
		Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Z

2、列状态转移表： Q_3^n

	$Q_2^n Q_1^n$	00	01	11	10
0		001/0	010/0	100/0	011/0
1		000/1	010/1	000/1	010/1

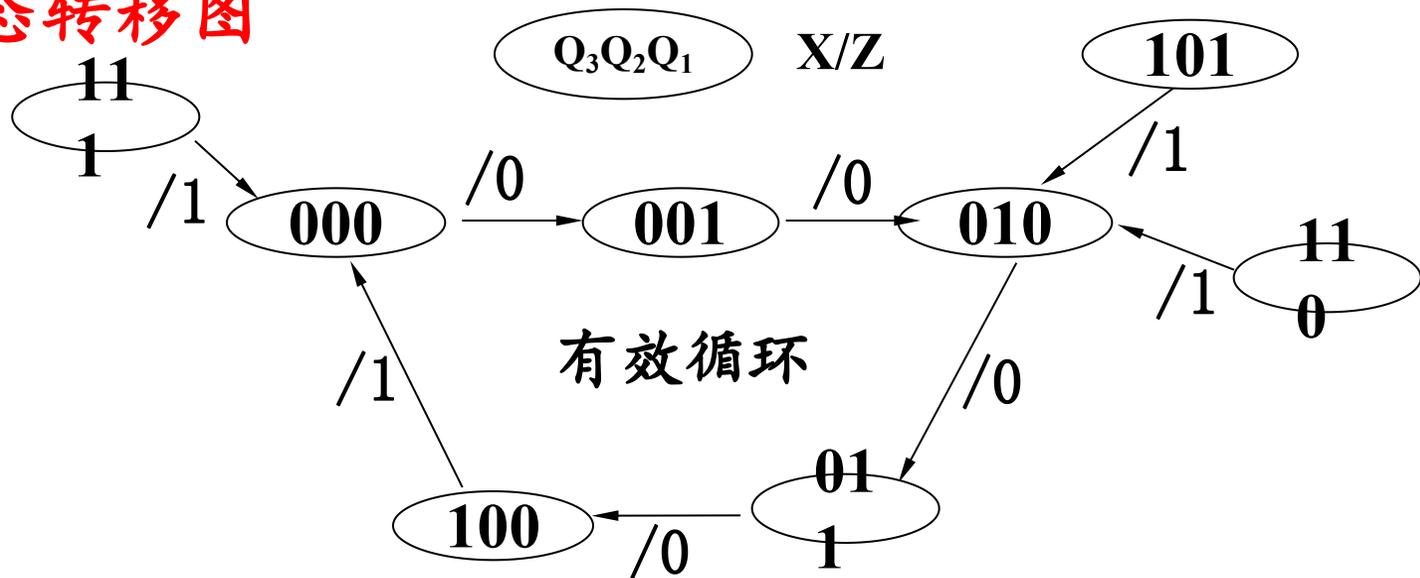
$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}/Z$

状态转移表：

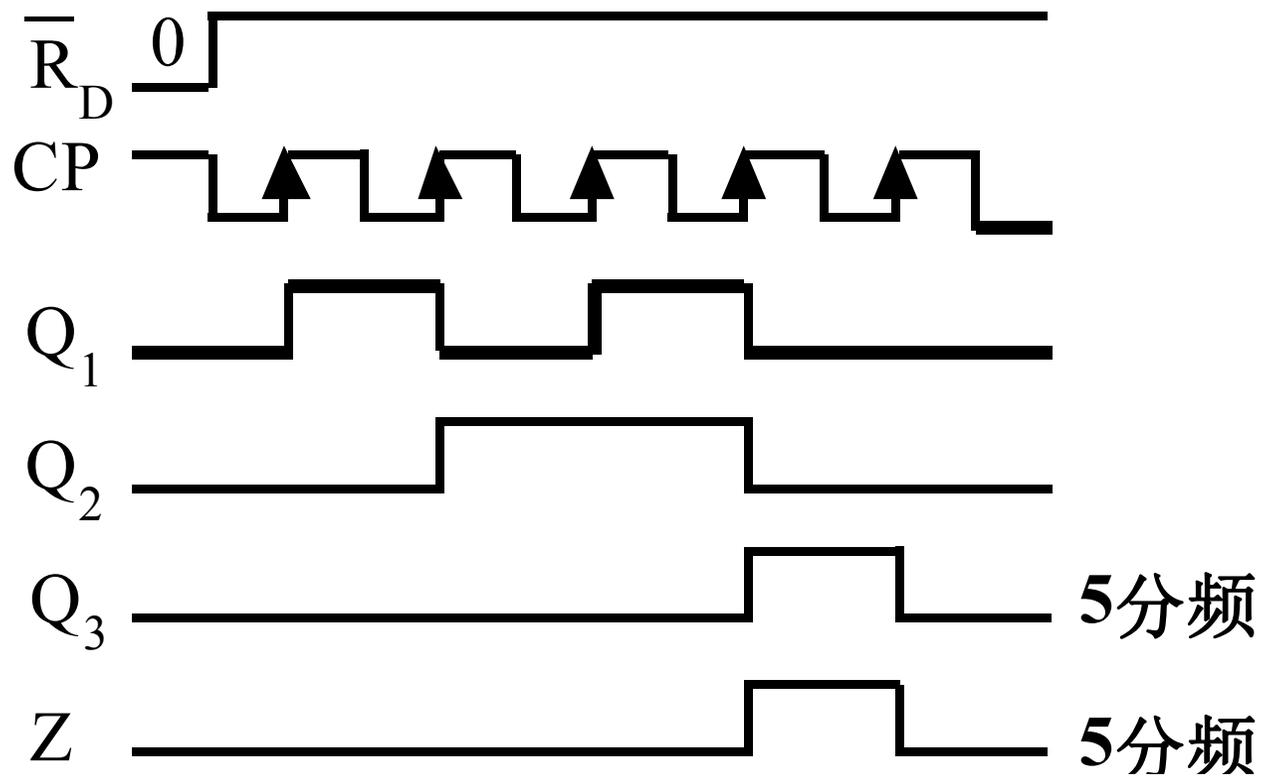
序号	Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Z
0	0	0	0	0	0	1	0
1	0	0	1	0	1	0	0
2	0	1	0	0	1	1	0
3	0	1	1	1	0	0	0
4	1	0	0	0	0	0	1
偏离 状态	1	0	1	0	1	0	1
	1	1	0	0	1	0	1
	1	1	1	0	0	0	1

状态转移图

序号	Q3	Q2	Q1	Z	
0	0	0	0	0	
1	0	0	1	0	
2	0	1	0	0	
3	0	1	1	0	
4	1	0	0	1	
偏离状态	1	0	1	→ 0 1 0	1
	1	1	0	→ 0 1 0	1
	1	1	1	→ 0 0 0	1

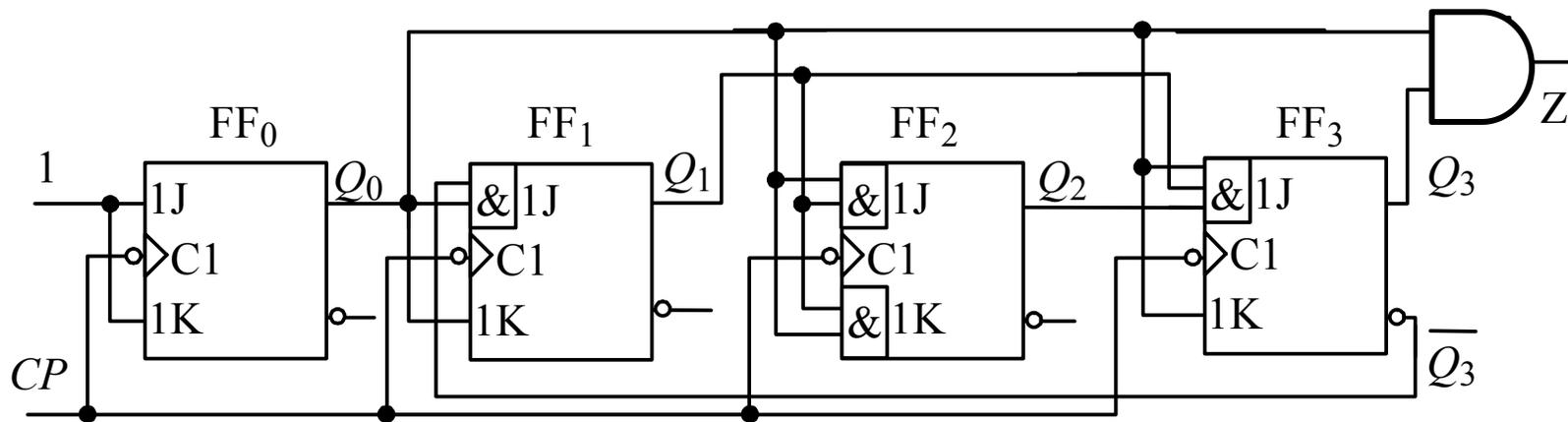


偏离状态都能自动（经过一个或一个以上的CP脉冲）进入到有效状态中的计数器，称它们**具有自启动性**。十进制和任意进制计数器都要检查自启动性。



功能：模长为5、三位自然二进制编码的具有自启动性的加法计数器

练习：分析下面计数器



分析：

① 激励方程
和输出方程

$$\begin{cases}
 J_0 = K_0 = 1 \\
 J_1 = \bar{Q}_3^n Q_0^n, & K_1 = Q_0^n \\
 J_2 = K_2 = Q_1^n Q_0^n \\
 J_3 = Q_2^n Q_1^n Q_0^n, & K_3 = Q_0^n
 \end{cases}$$

$$\mathbf{Z = Q_3^n Q_0^n}$$



② 状态方程 $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$

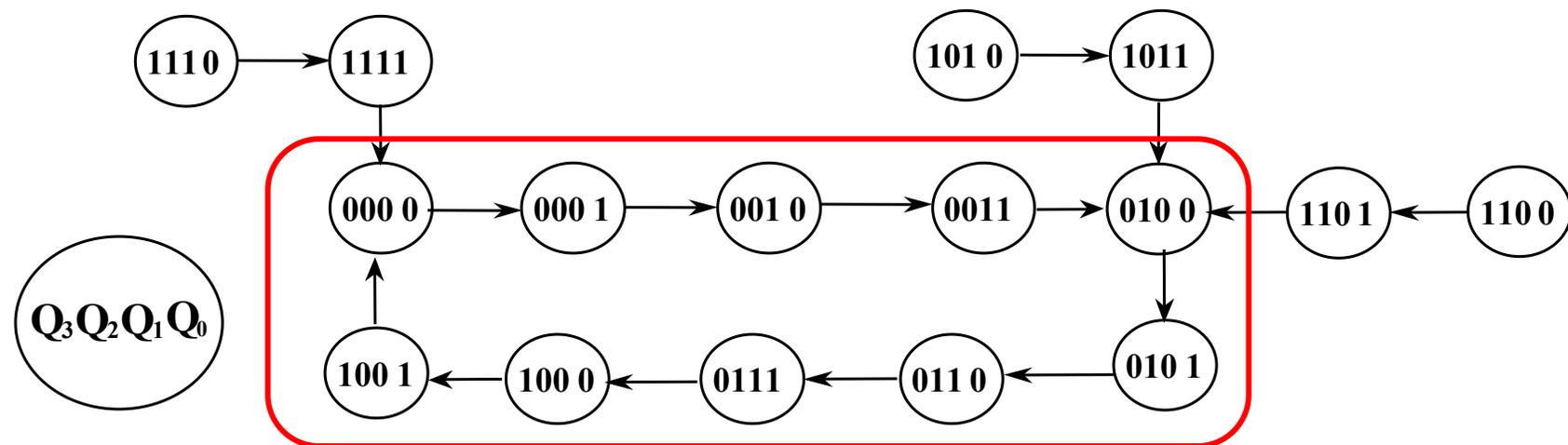
$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = \bar{Q}_3^n Q_0^n, & K_1 = Q_0^n \\ J_2 = K_2 = Q_1^n Q_0^n \\ J_3 = Q_2^n Q_1^n Q_0^n, & K_3 = Q_0^n \end{cases}$$

$$\begin{cases} Q_0^{n+1} = \bar{Q}_0^n \\ Q_1^{n+1} = \bar{Q}_3^n Q_0^n \cdot \bar{Q}_1^n + \bar{Q}_0^n \cdot Q_1^n \\ Q_2^{n+1} = Q_1^n Q_0^n \cdot \bar{Q}_2^n + \overline{Q_1^n Q_0^n} \cdot Q_2^n \\ Q_3^{n+1} = Q_2^n Q_1^n Q_0^n \cdot \bar{Q}_3^n + \bar{Q}_0^n \cdot Q_3^n \end{cases}$$

③ 状态表

Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Z
0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	1	0	0
0	0	1	0	0	0	1	1	0
0	0	1	1	0	1	0	0	0
0	1	0	0	0	1	0	1	0
0	1	0	1	0	1	1	0	0
0	1	1	0	0	1	1	1	0
0	1	1	1	1	0	0	0	0
1	0	0	0	1	0	0	1	0
1	0	0	1	0	0	0	0	1
1	0	1	0	1	0	1	1	1
1	0	1	1	0	1	0	0	0
1	1	0	0	1	1	0	1	1
1	1	0	1	0	1	0	0	0
1	1	1	0	1	1	1	1	1
1	1	1	1	0	0	0	0	0

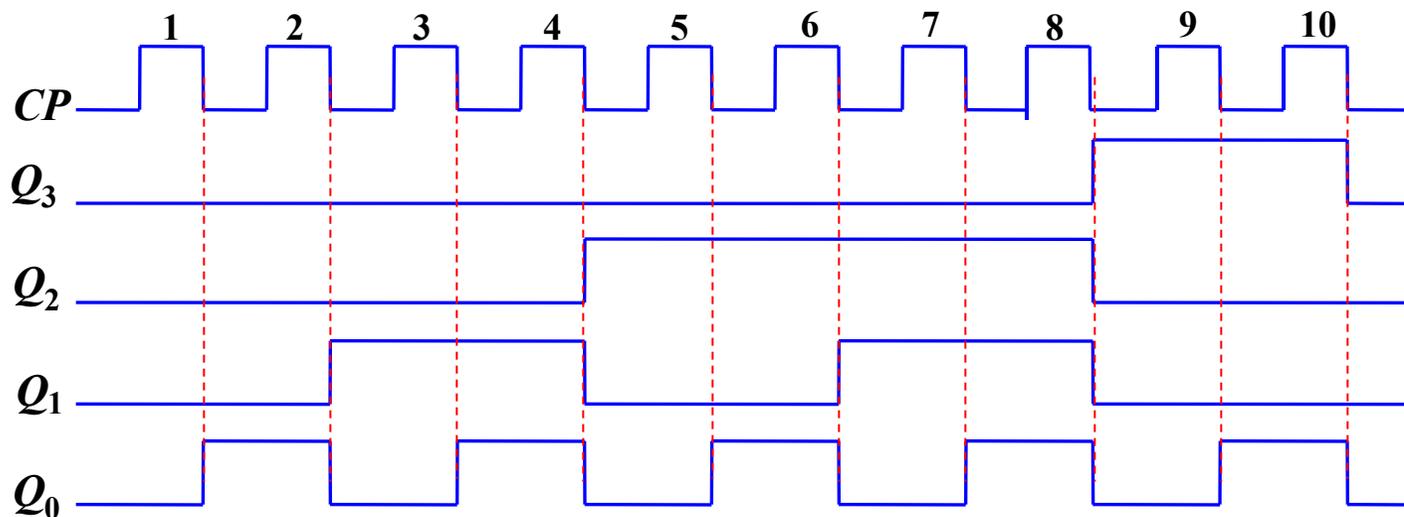
④ 状态图



功能：编码为8421BCD码递增计数的具有自启动性的十进制计数器。

⑤ 波形图

设初态为 $Q_3Q_2Q_1Q_0=0000$ 。



第五章 时序逻辑电路

5.3 计数器

5.3.3 MSI同步计数器

1. 4位二进制同步加法计数器74161

①逻辑图和功能介绍

同步置数控制端

并行数据输入端

异步清0控制端

工作模式选择端

计数编码输出

进位输出

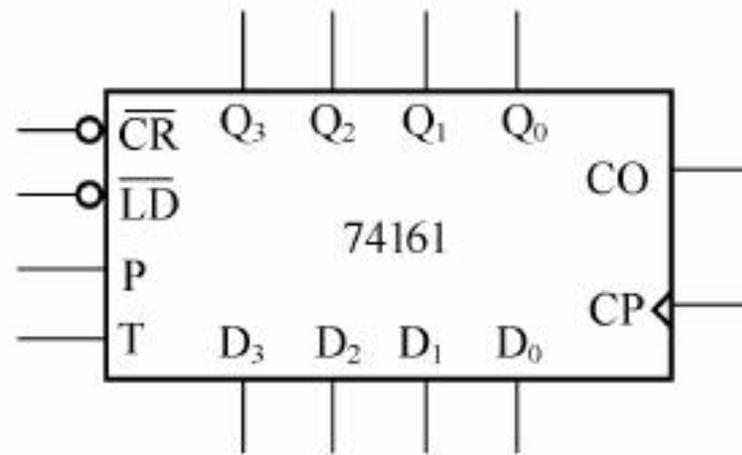
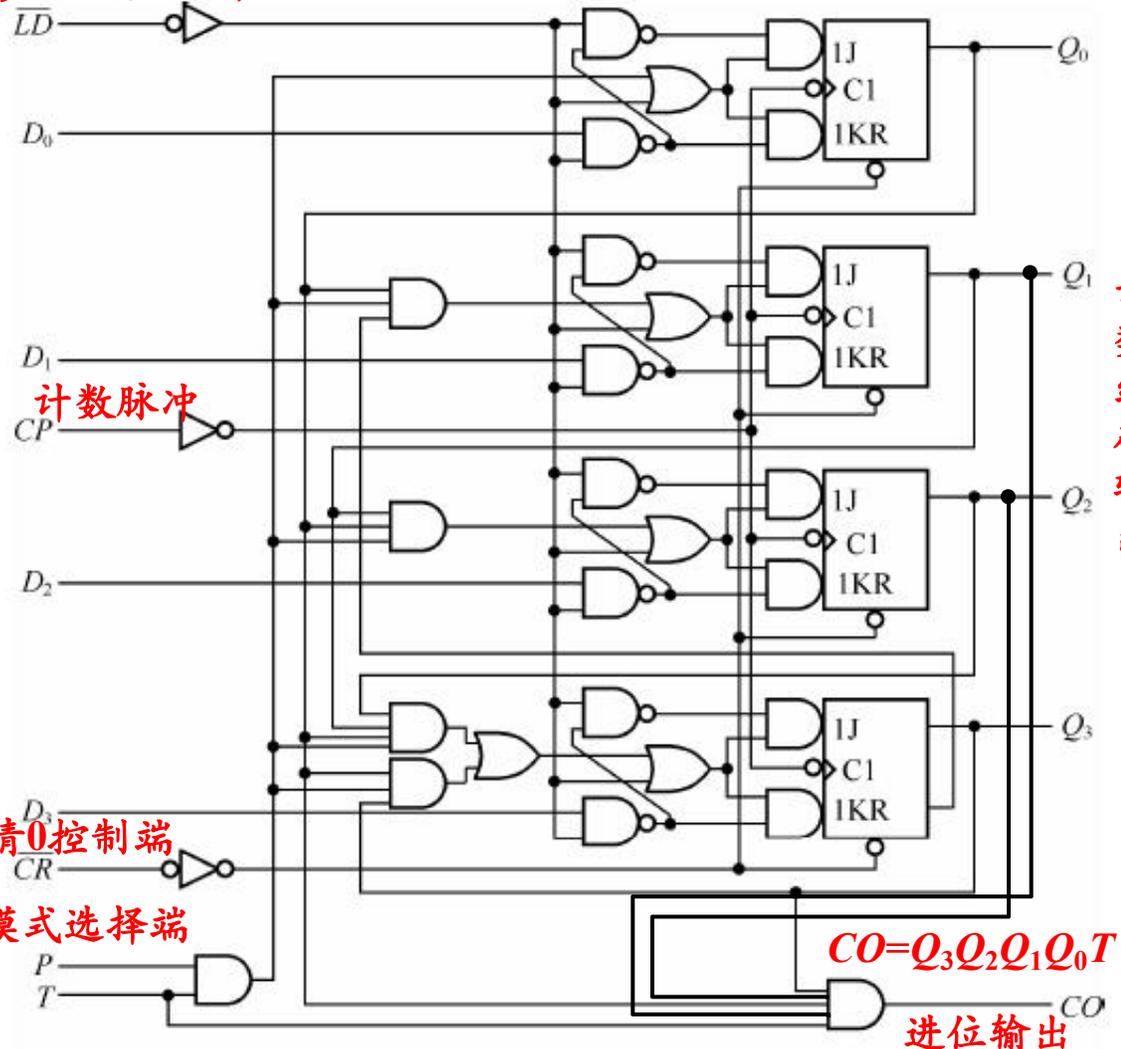


图5.3.15 74161 逻辑符号

②功能表

表5.3.7 74161 的功能表

$\overline{\text{CR}}$	$\overline{\text{LD}}$	P(S ₁)	T(S ₂)	CP	D ₃	D ₂	D ₁	D ₀	Q ₃ ⁿ⁺¹	Q ₂ ⁿ⁺¹	Q ₁ ⁿ⁺¹	Q ₀ ⁿ⁺¹	功能
0	∅	∅	∅	∅	∅	∅	∅	∅	0	0	0	0	异步清除
1	0	∅	∅	↑	d ₃	d ₂	d ₁	d ₀	d ₃	d ₂	d ₁	d ₀	同步并入
1	1	1	1	↑	∅	∅	∅	∅	0000 ~ 1111				计数
1	1	0	1	∅	∅	∅	∅	∅	Q ₃ ⁿ	Q ₂ ⁿ	Q ₁ ⁿ	Q ₀ ⁿ	保持
1	1	∅	0	∅	∅	∅	∅	∅	Q ₃ ⁿ	Q ₂ ⁿ	Q ₁ ⁿ	Q ₀ ⁿ	

$$\text{CO} = \text{Q}_3 \text{Q}_2 \text{Q}_1 \text{Q}_0 \text{T}$$

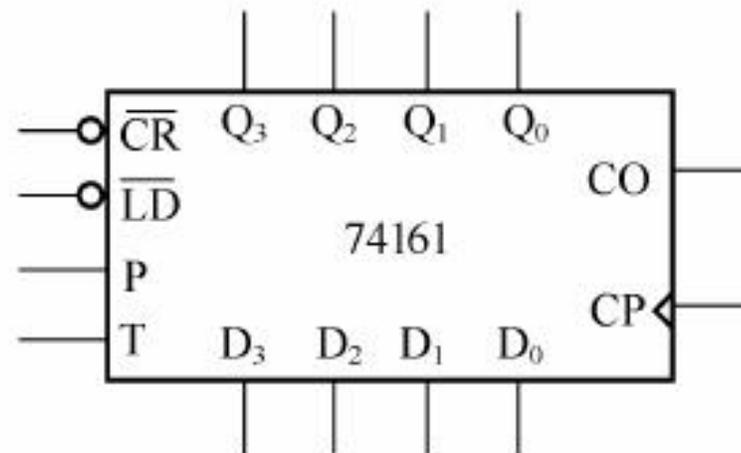


图5.3.15 74161 逻辑符号

(2) 应用：级联扩展

① 异步级联方式：

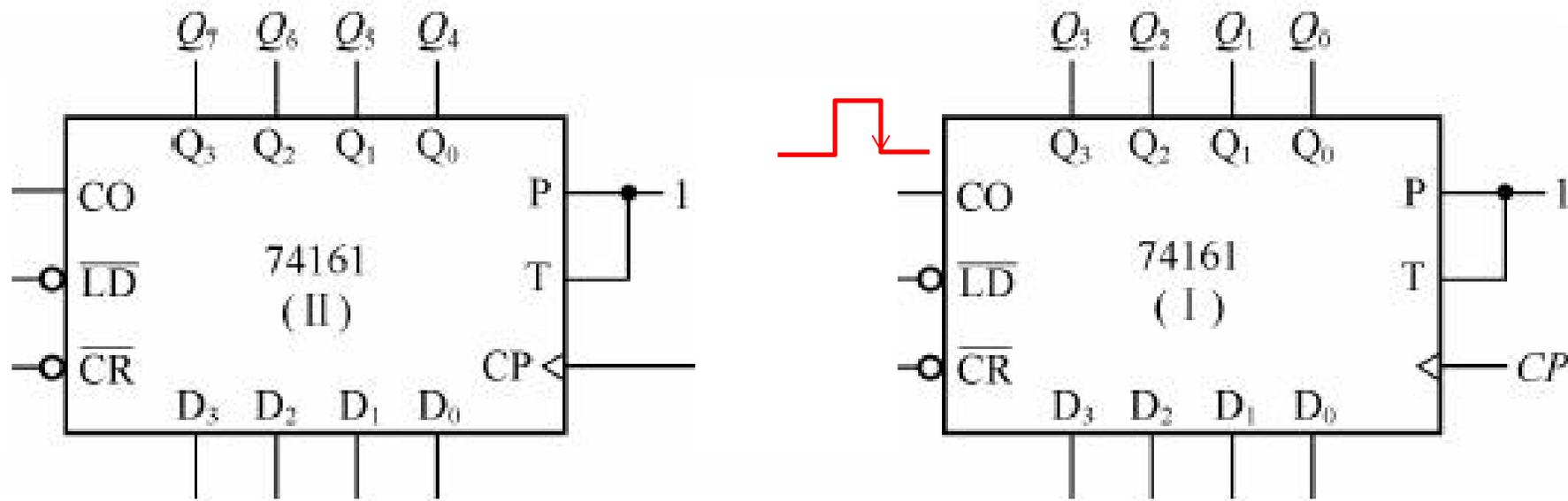
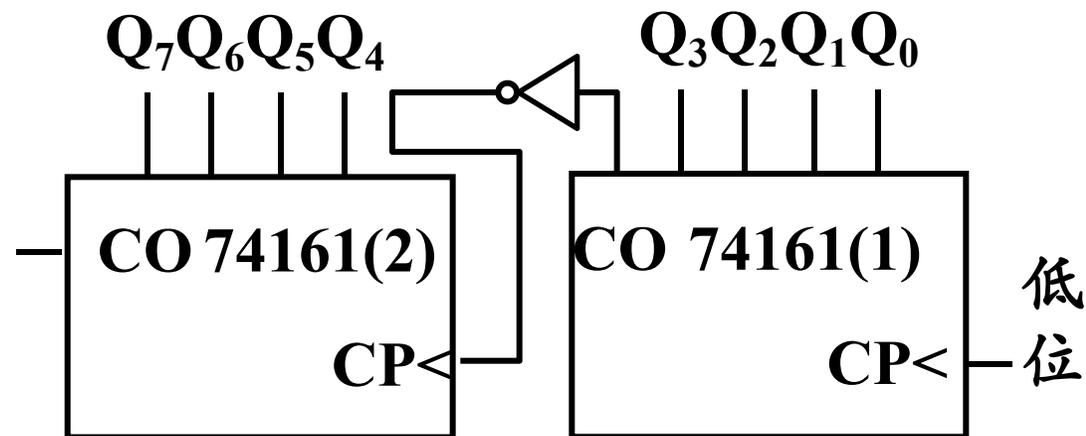
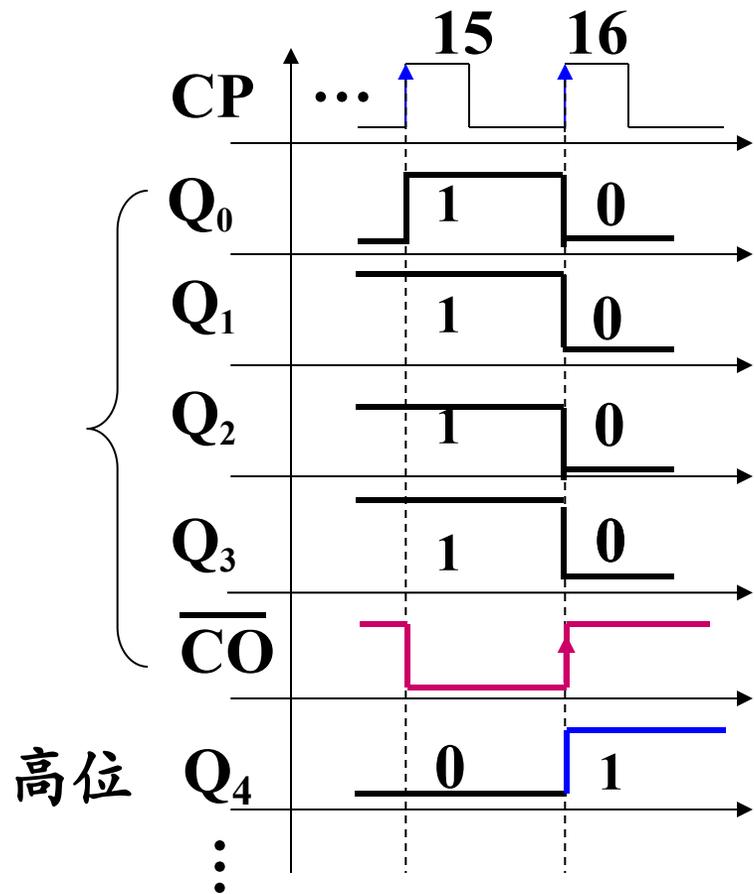


图 5.3.16 74161 的异步级联方式

特点：以低位片的进位输出信号取反作为高位片的时钟输入信号CP。

两片之间用非门连接的原因

74LS161是CP \uparrow 作用的计数器，若片间连接不用非门，则：



② 同步级联方式:

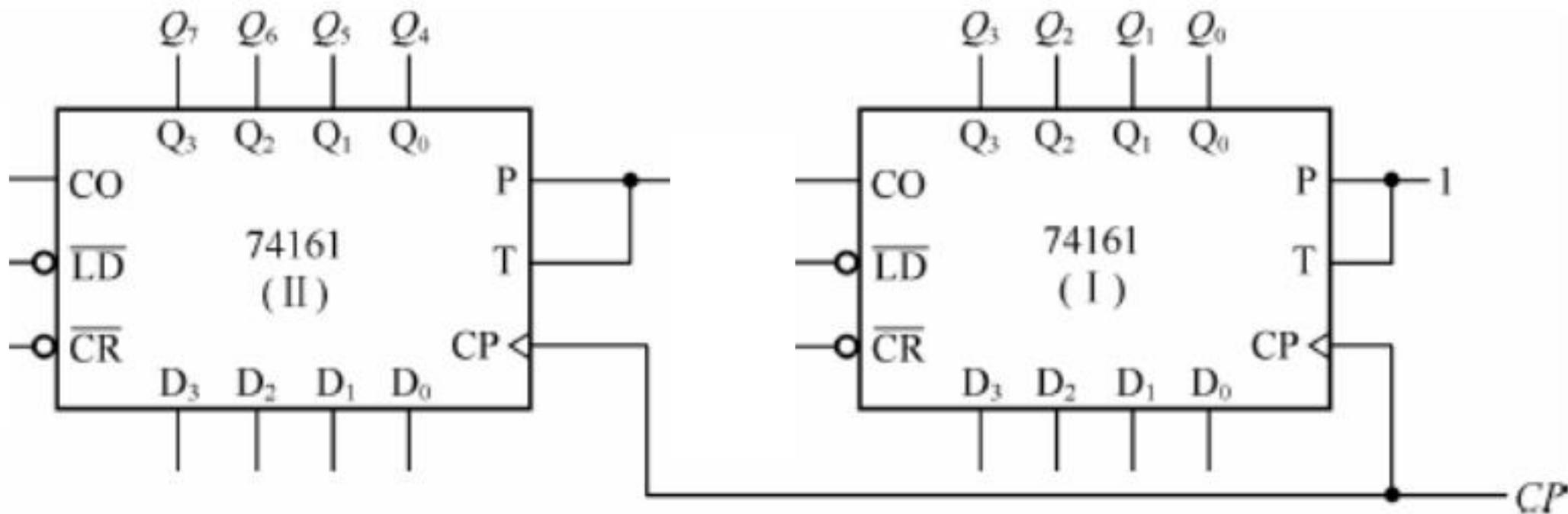


图 5.3.17 74161 的同步级联方式

特点: 以低位片的进位 CO 作为高位片的工作状态控制信号 P 和 T 。

第五章 时序逻辑电路

5.3 计数器

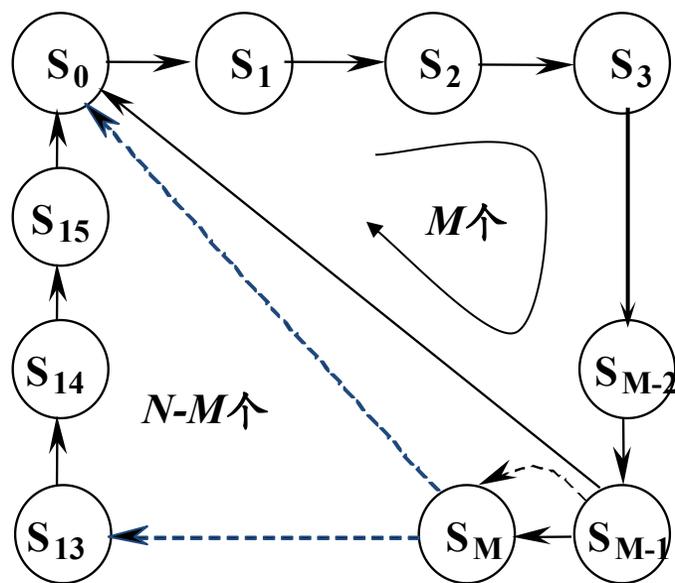
5.3.3 MSI同步计数器

74161的应用2：实现任意进制计数器

一、实现模长 $M < 16$ 的任意进制计数器

1、异步清0法：(利用CR)

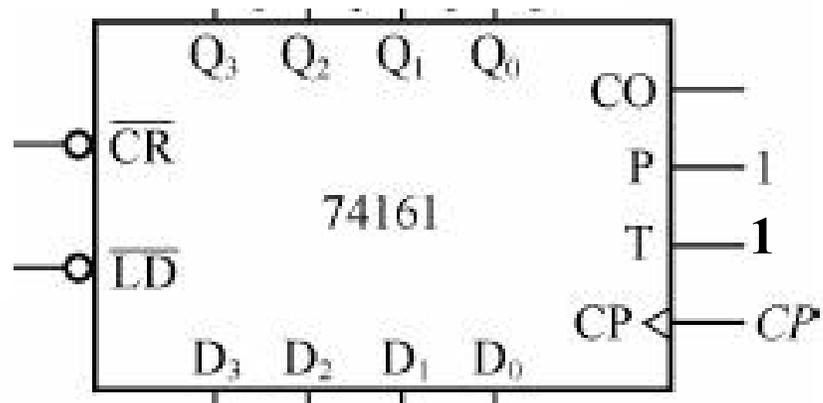
基本思路：计数器从全“0”状态开始计数，计满 M 个状态后产生清“0”信号，使计数器恢复到初始全“0”状态。



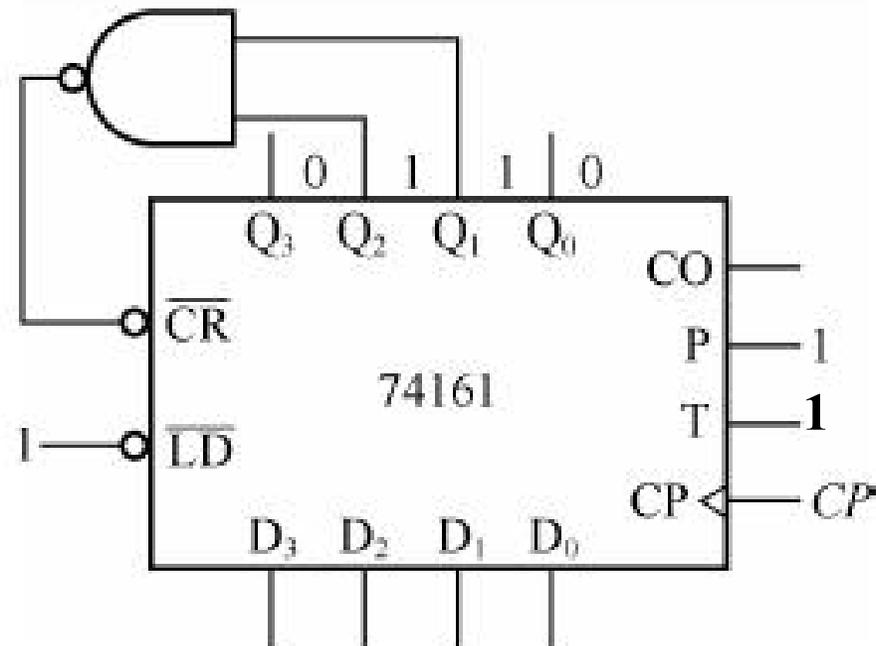
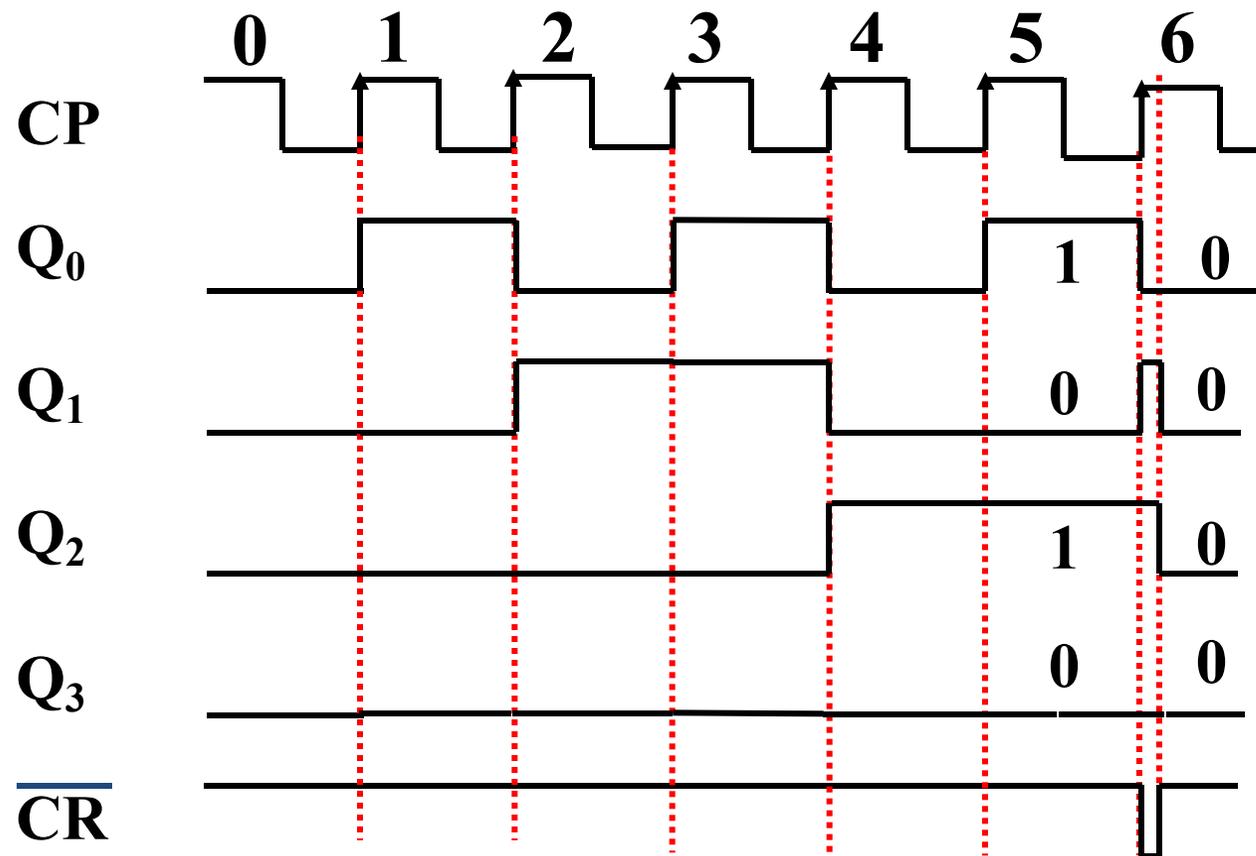
利用 S_M 状态进行译码产生清“0”信号。

例1 试将74161用异步清0法设计M=6的计数器。

解： 74161为异步清0方式，反馈状态为 $S_6=0110$ ，译码产生清零信号。

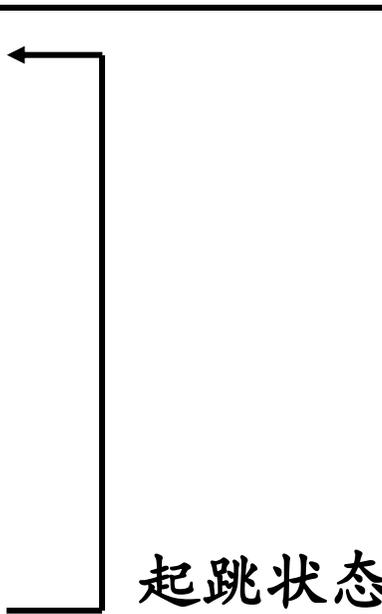


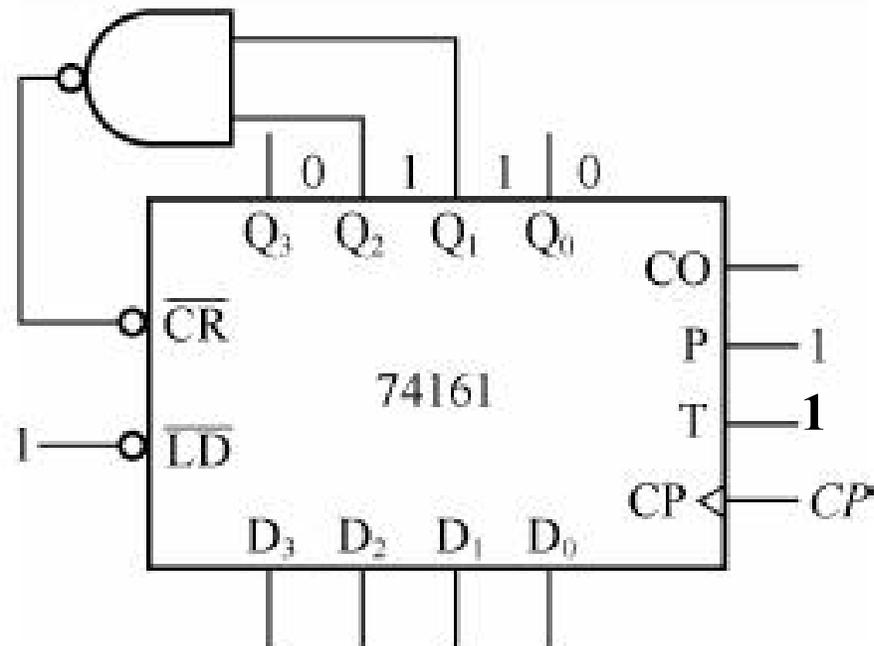
电路的工作波形图



0110在计数的编码表中不出现

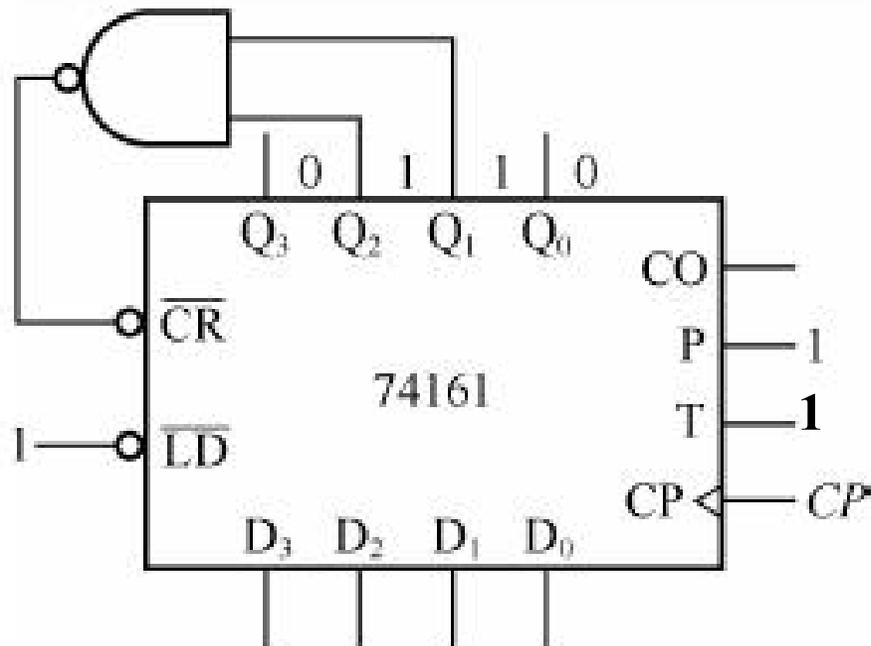
电路的状态转移表:

Q_3	Q_2	Q_1	Q_0	状态转移路线
0	0	0	0	 起跳状态
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1/0	1/0	0	

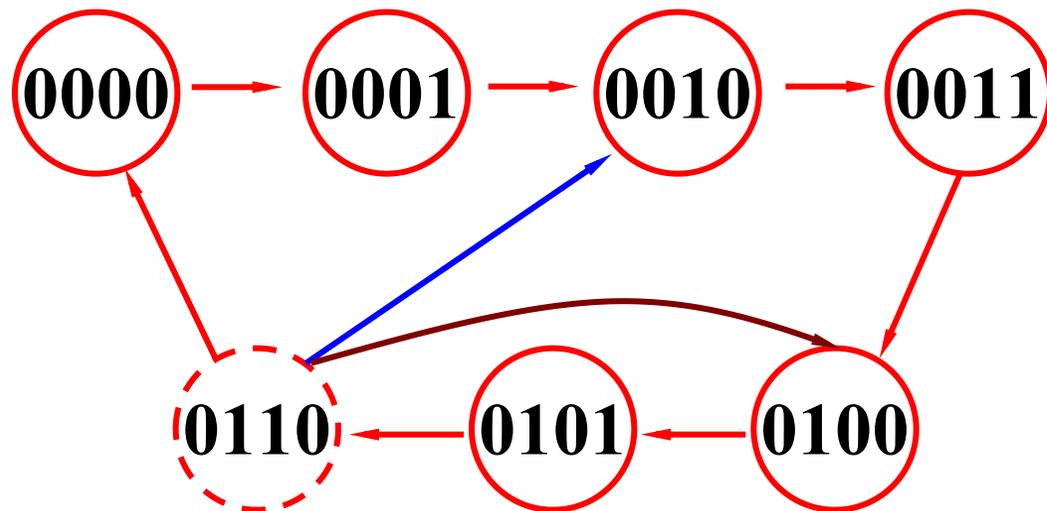
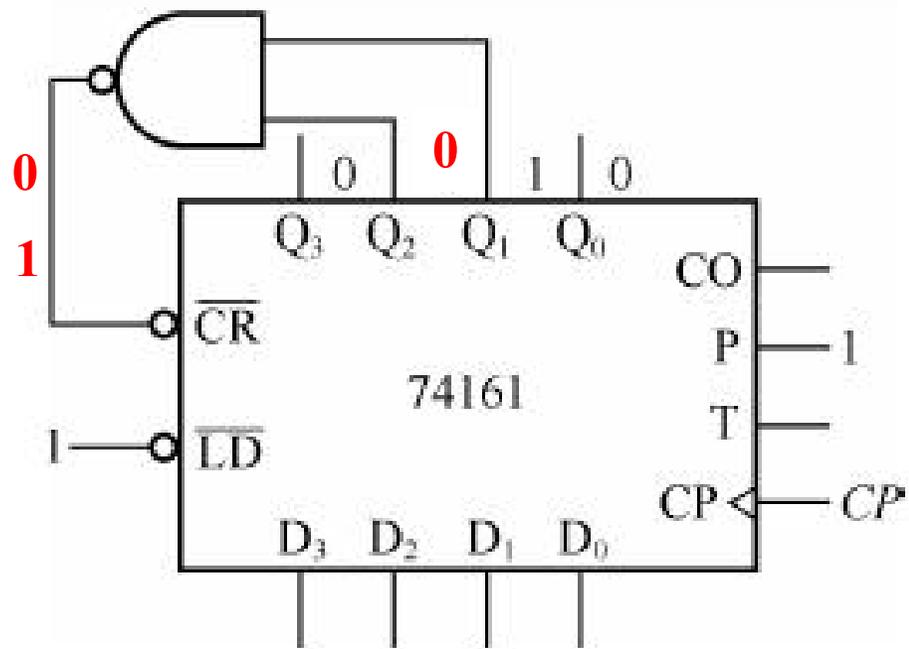


异步清0法总结

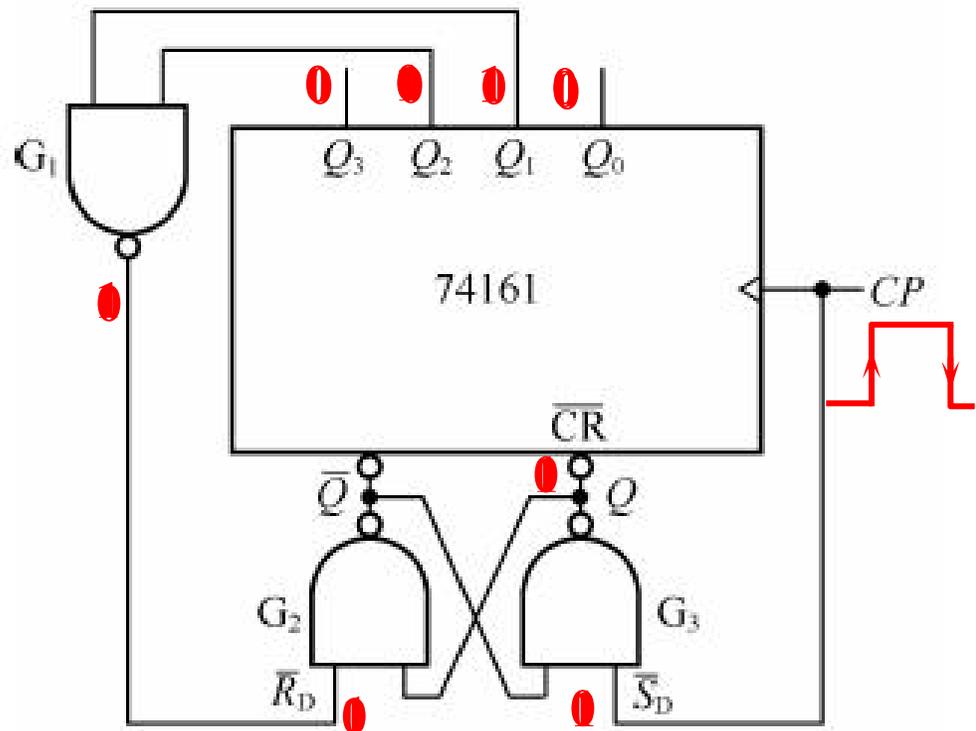
利用 \overline{CR} 端的异步清0法实现任意进制计数器，若模长为M，则电路反馈状态为M，将M对应的二进制数中含“1”的端子引入与非门的输入端，与非门的输出端连到 \overline{CR} 端即可。



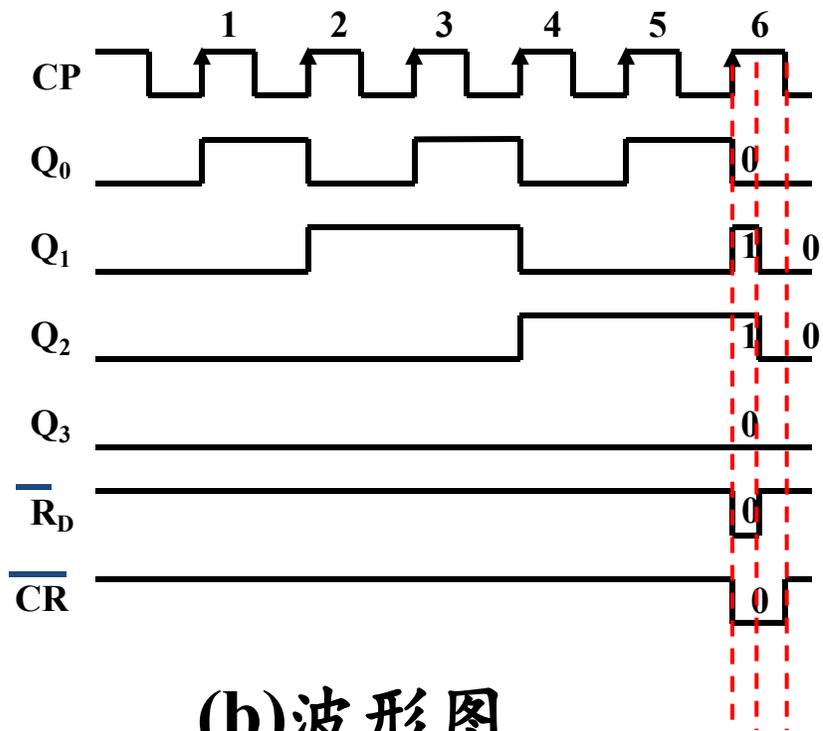
采用异步复0法时存在不可靠现象：触发器不能同时复0引起计数出错。



异步清0端出现负脉冲的时间过于短暂，来不及让所有的Q都清零，因此出错。



(a) 电路



(b) 波形图

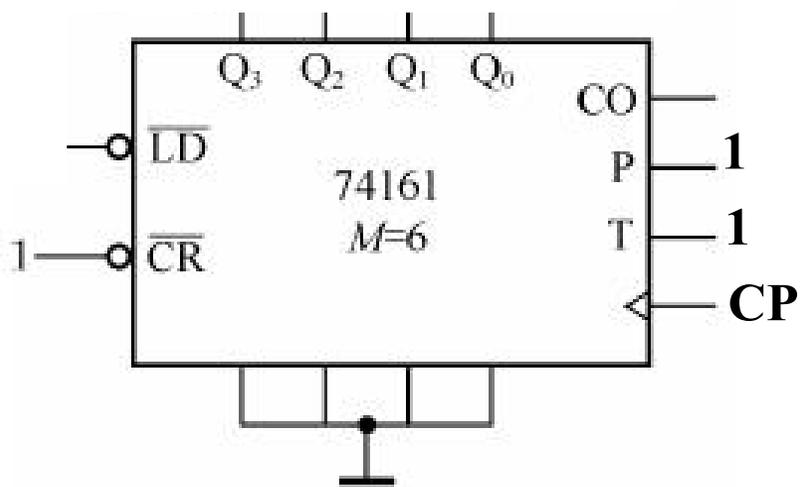
解决思路：用基本SRFF暂存清零信号，保证有足够的清零时间。

2、反馈置数法 (利用 \overline{LD}):

方法一：反馈置零法。

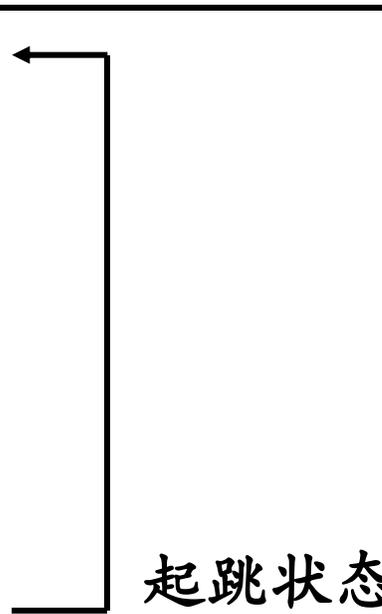
例5.3.4：将74161用反馈置数法实现 $M=6$ 的计数器。

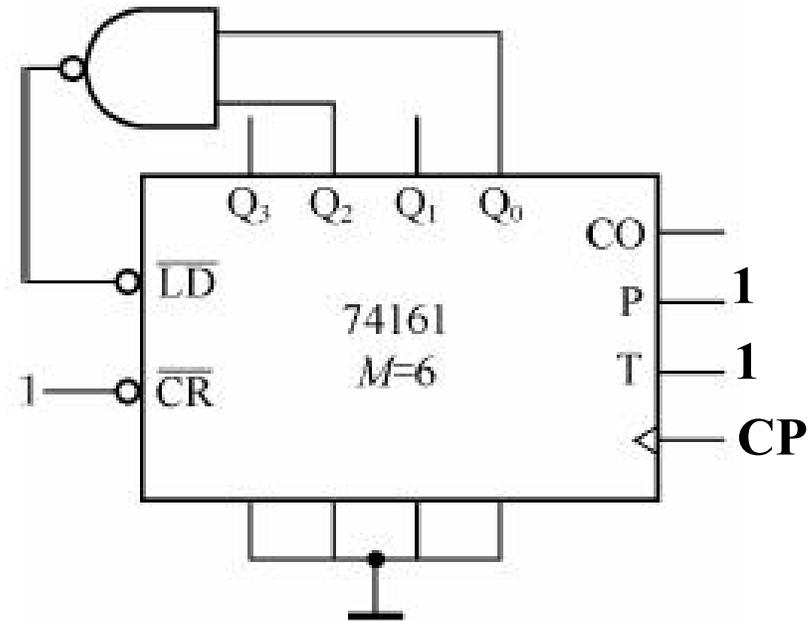
解：74161为同步置数方式，反馈状态为 $M-1$ ，即： $5=(0101)_2$ ，



(a) 反馈置零法

电路的状态转移表

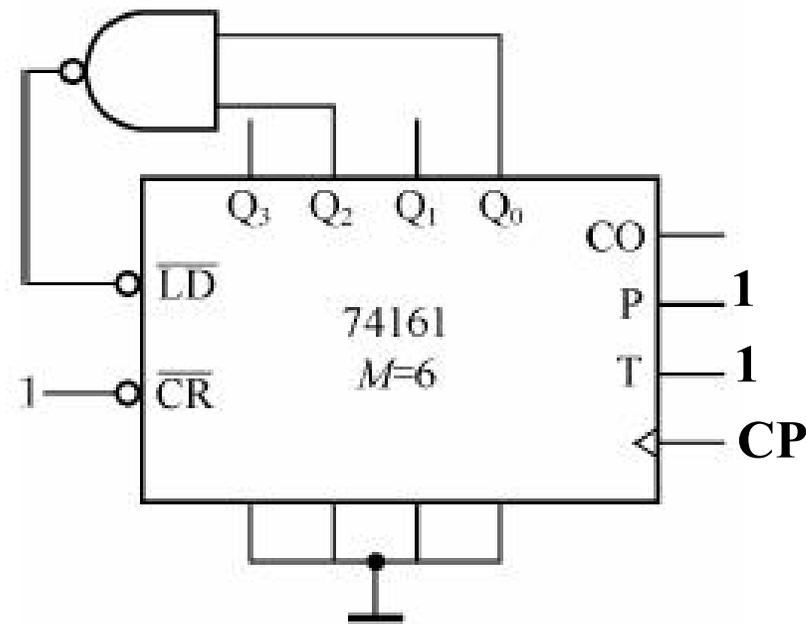
Q_3	Q_2	Q_1	Q_0	状态转移路线
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	



(a) 反馈置零法

反馈置0法总结

利用 \overline{LD} 端的反馈置0法实现任意进制计数器，若实现模长为M，则反馈状态为M。将M对应的二进制数中为1的端子引入与非门的输入端，与非门的输出端接 \overline{LD} ，同时，数据输入端送“0”。



(a) 反馈置零法

方法二、置最小数法

例3 将74161用置最小数法实现M=6的计数器。

解：74161为同步置数方式，最小数为： $16-M=16-6=10=(1010)_2$ 。

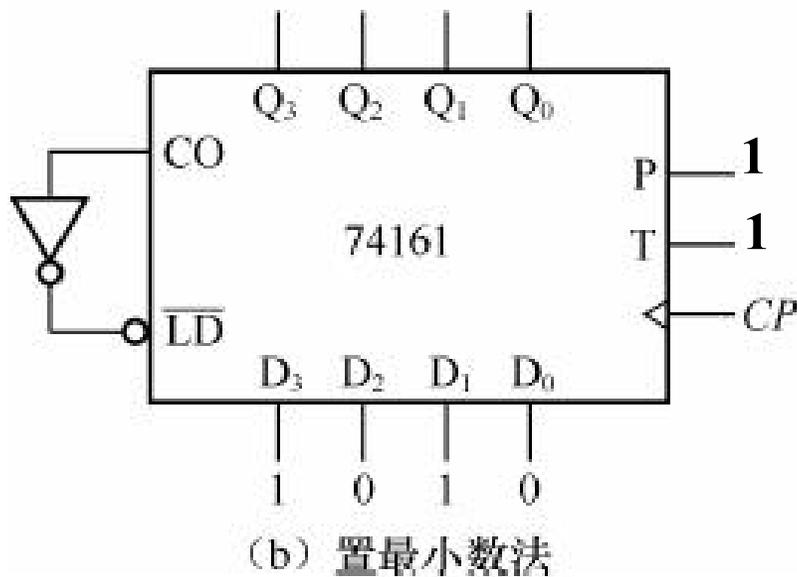
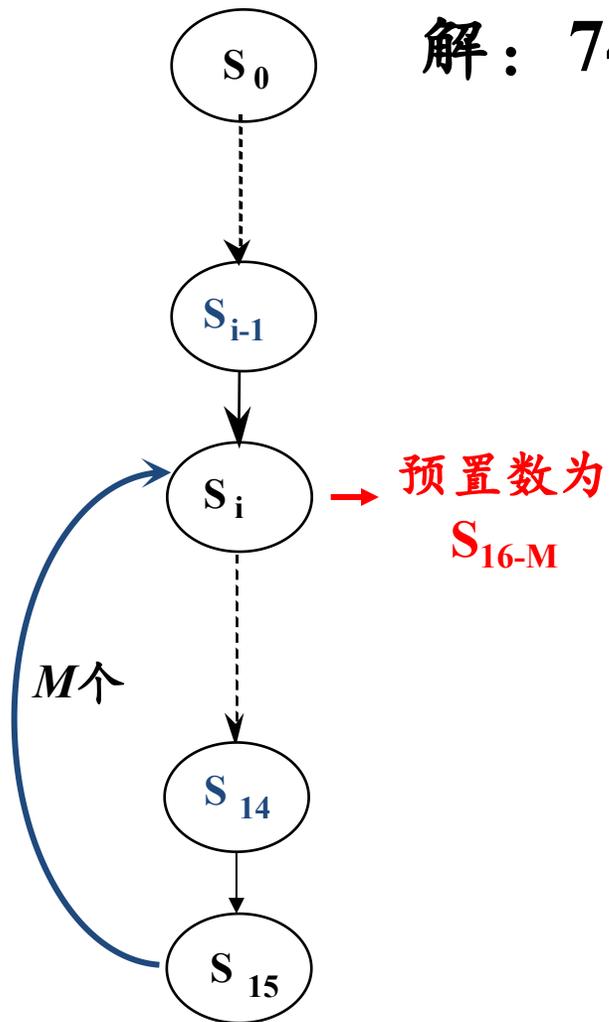
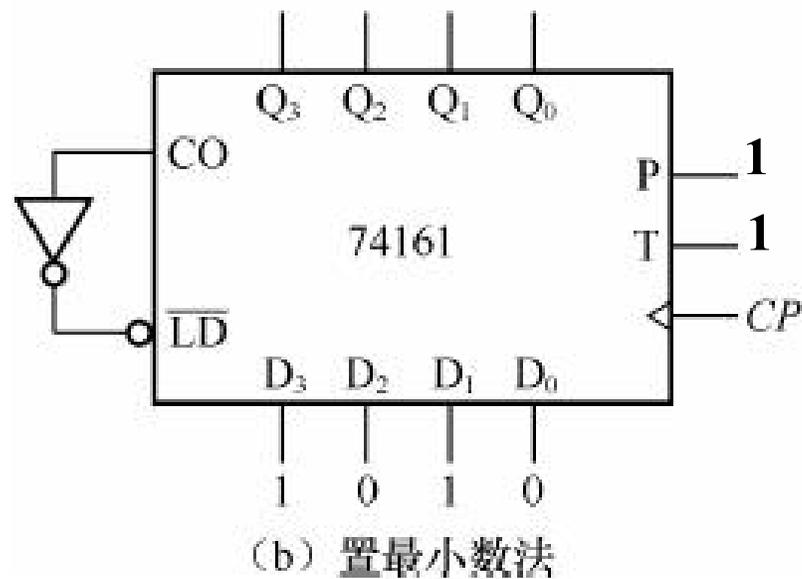


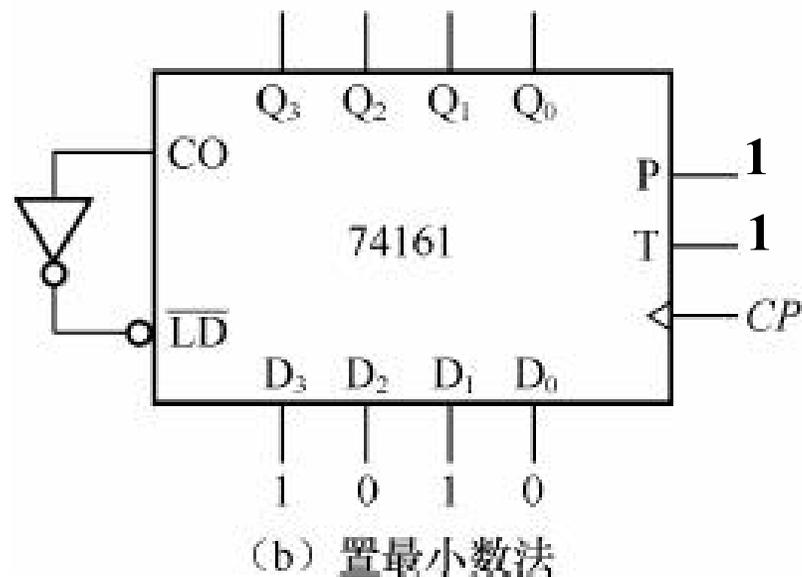
表5.3.9 例5.3.4的状态转移表

Q ₃	Q ₂	Q ₁	Q ₀	状态转移路线
0	0	0	0	跳过状态
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	起跳状态
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	
1	1	1	1	



置最小数法总结

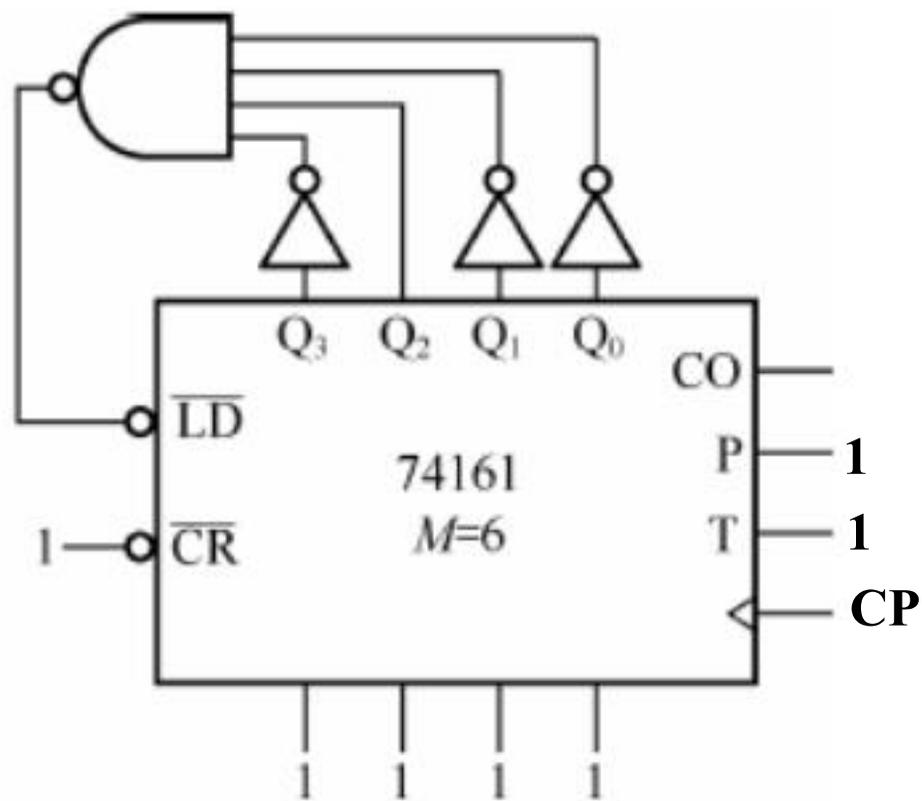
利用 \overline{LD} 端的置最小数法实现任意进制计数器，若实现模长为 M ，则预置的最小数为 $16-M$ 。将 CO 取反送给 LD 即可。



方法三、置最大数法

例4、试将74161用置最大数法设计M=6的计数器。

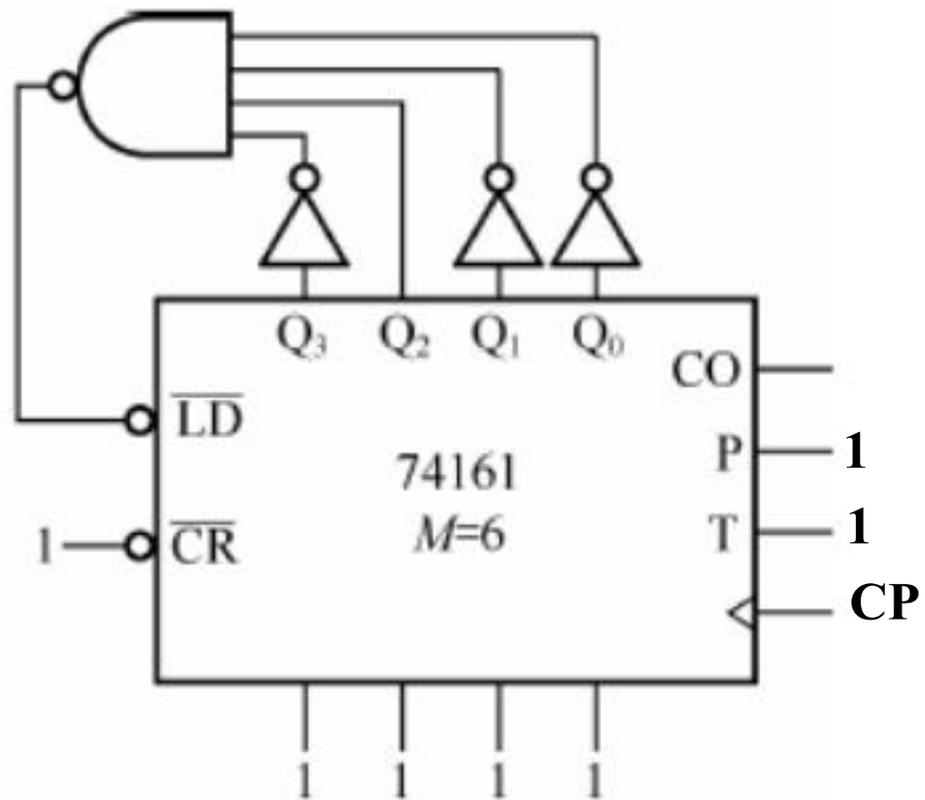
解：74161为同步置数方式，反馈状态为M-2，即 $(1000)_2$



(c) 置最大数法

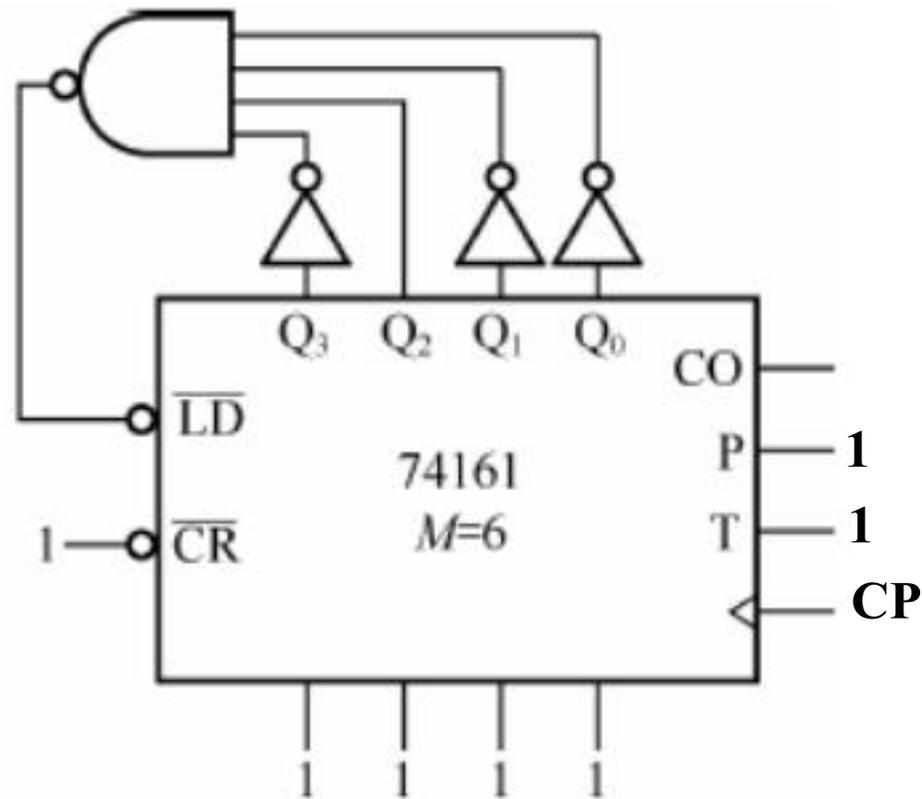
状态转移表

Q ₃	Q ₂	Q ₁	Q ₀	状态转移路线
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	起跳状态
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	跳 过 状 态



置最大数法总结

利用 \overline{LD} 端的置最大数法实现任意进制计数器，若实现模长为 M ，则反馈状态为 $M-2$ 。将 $M-2$ 对应的二进制数中为1的端子引入与非门的输入端，为0的端子取反引入与非门的输入端，与非门的输出端接 \overline{LD} 即可。

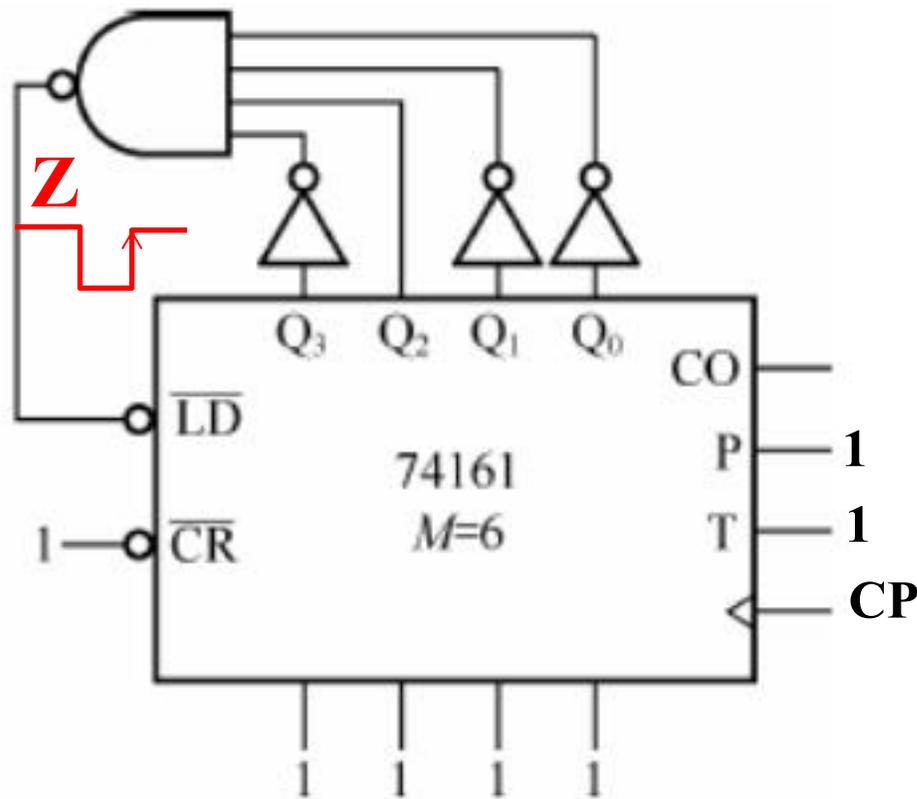


总结：74161实现模长为M的任意进制计数器

- 1、异步清0法：反馈状态=M
- 2、反馈置0法：反馈状态=M-1
- 3、置最小数法：数据输入端=16-M
- 4、置最大数法：反馈状态=M-2

进位信号的选取方法

通过反馈法得到的任意进制计数器，其进位信号可以方便的从反馈门输出端引出。





第五章 时序逻辑电路

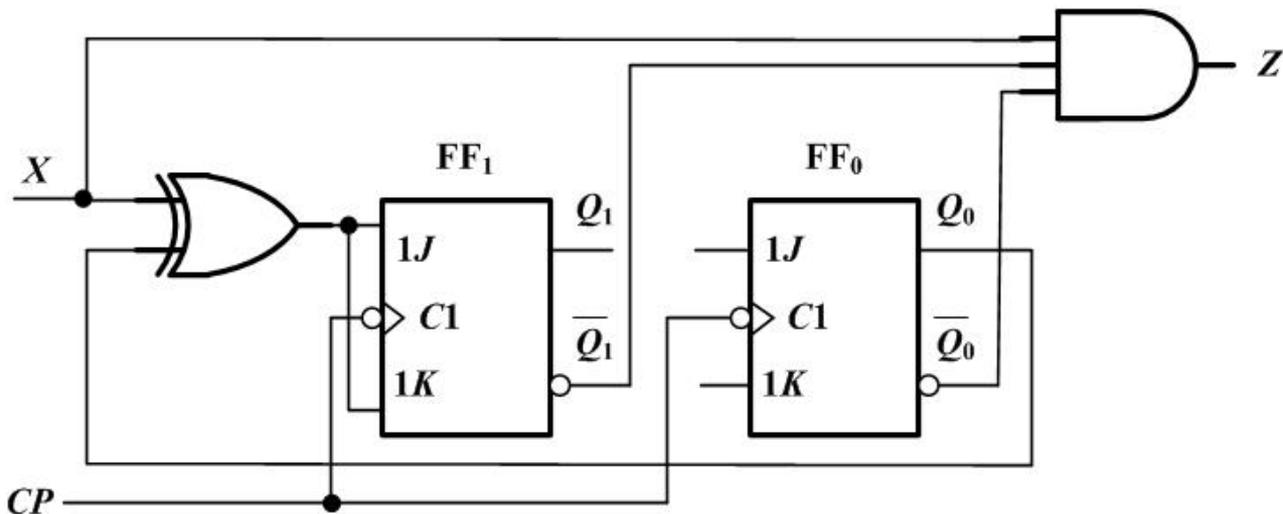
5.3 计数器

5.3.2 同步计数器的设计

5.3.4 异步计数器的分析和设计



【补充例题】分析图示同步时序电路的逻辑功能。





① 时钟方程: $CP_1 = CP_2 = CP$

② 触发器的激励方程:

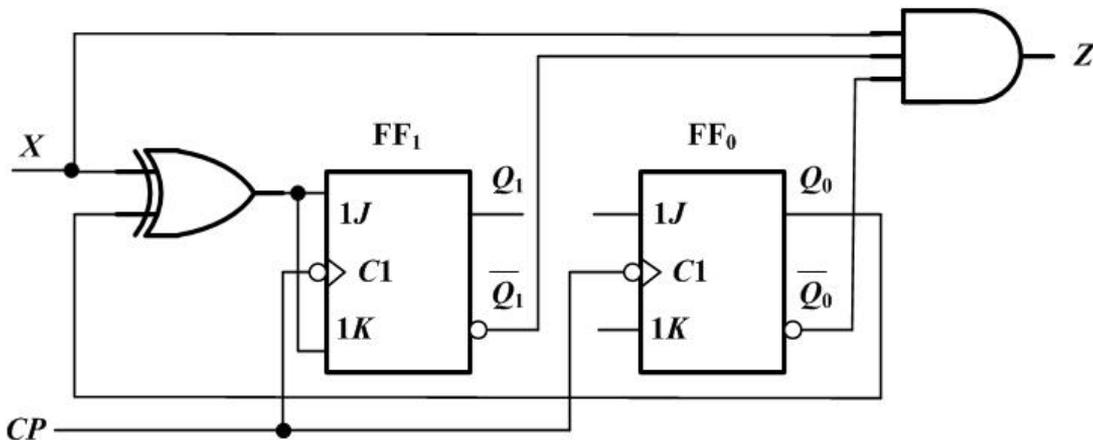
$$J_0 = K_0 = 1 \quad J_1 = K_1 = X \oplus Q_0$$

③ 求次态方程:

$$Q_1^{n+1} = J_1 \overline{Q_1} + \overline{K_1} Q_1 = (X \oplus Q_0) \overline{Q_1} + \overline{X \oplus Q_0} Q_1 = X \oplus Q_0 \oplus Q_1$$

$$Q_0^{n+1} = J_0 \overline{Q_0} + \overline{K_0} Q_0 = \overline{Q_0}$$

④ 输出方程: $Z = X \overline{Q_1} \cdot \overline{Q_0}$





列状态转移表, 画状态转移图:

$$Q_1^{n+1} = X \oplus Q_0 \oplus Q_1$$

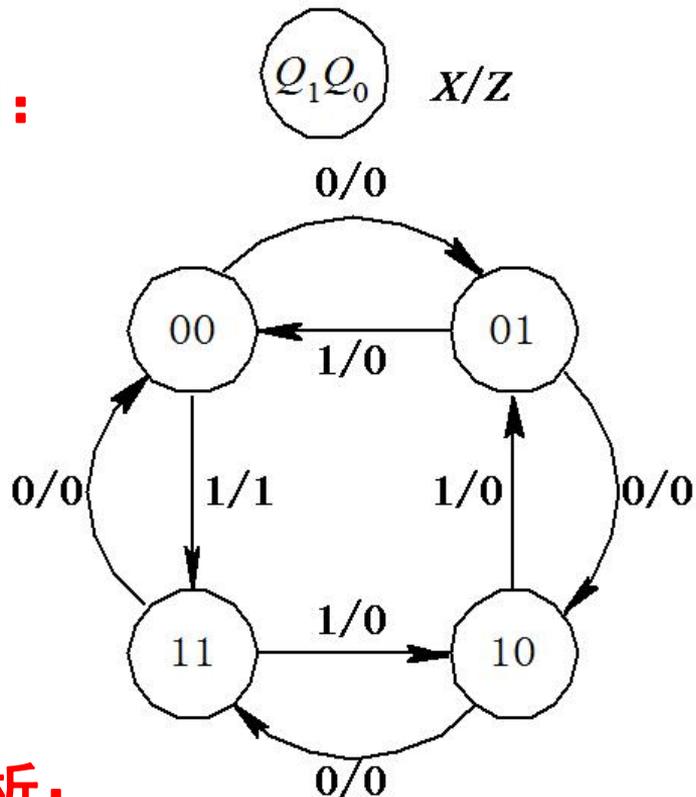
$$Q_0^{n+1} = \overline{Q_0}$$

$$Z = X \overline{Q_1} \cdot \overline{Q_0}$$

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Z$	
	$X = 0$	$X = 1$
00	01 / 0	11 / 1
01	10 / 0	00 / 0
10	11 / 0	01 / 0
11	00 / 0	10 / 0



状态转移图:



逻辑功能分析:

X=0时, 实现模4加法计数器的功能;

X=1时, 实现模4减法计数器的功能。

该电路是一个同步模4可逆计数器。



5.3.2 同步计数器的设计

同步计数器的设计步骤如下：

- 1) 根据模长要求，确定 FF 的个数，列出状态转移表。
- 2) 选择 FF 类型，求各级 FF 的激励方程和输出方程。
- 3) 检查计数器的自启动性，若无自启动性，则重新修改激励方程。
- 4) 画出逻辑图。

由于同步二进制加/减法计数器的结构特点已经在上节进行了总结，可以直接得出电路图，不必按照上述步骤设计。



例 5.3.3 用DFF设计具有下列状态转移表的 $M=6$ 的同步计数器，要求具有自启动性。

表 5.3.4

例 5.3.3 的状态转移表

序号	Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Z
0	0	0	0	0	0	1	0
1	0	0	1	0	1	1	0
2	0	1	1	1	1	1	0
3	1	1	1	1	1	0	0
4	1	1	0	1	0	0	0
5	1	0	0	0	0	0	1

根据状态转移表，计数器需要用3级触发器实现，状态转移表中有6个有效状态，2个偏离状态，分别为010、101。



表 5.3.5

例 5.3.3 的激励表

序号	Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	D_3	D_2	D_1
0	0	0	0	0	0	1	0	0	1
1	0	0	1	0	1	1	0	1	1
2	0	1	1	1	1	1	1	1	1
3	1	1	1	1	1	0	1	1	0
4	1	1	0	1	0	0	1	0	0
5	1	0	0	0	0	0	0	0	0

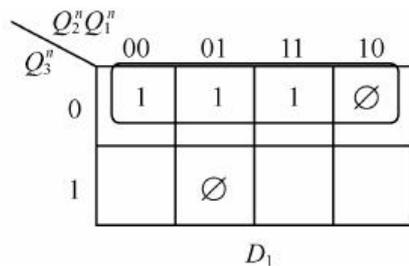
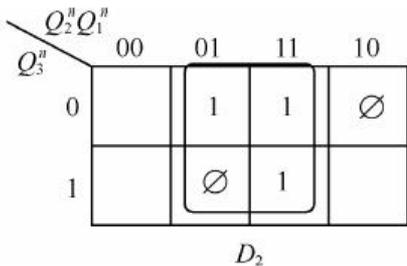
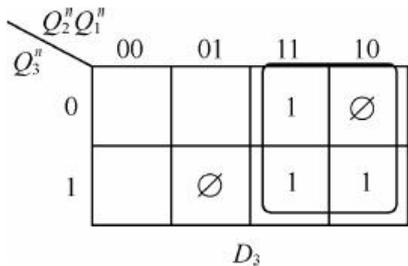


图 5.3.12 激励函数的卡诺图

$$D_3 = Q_2^n$$

$$D_2 = Q_1^n$$

$$D_1 = \bar{Q}_3^n。$$



再根据状态转移表5.3.3画出输出函数Z的卡诺图并化简：

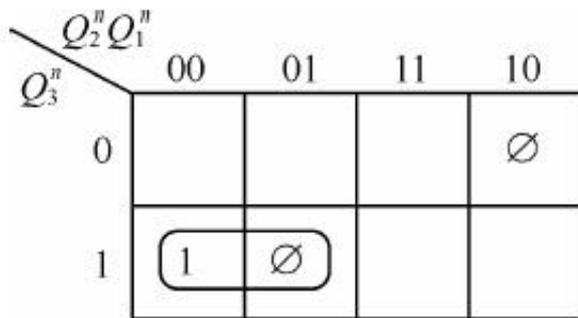


图 5.3.13 输出函数 Z 的卡诺图

$$Z = Q_3^n \overline{Q_2^n}$$



偏离态010的次态是偏离态101；偏离态101的次态的010。很明显两个偏离状态形成了循环，无法进入有效循环，因此不具有自启动性。

我们需要对原设计进行修改。修改的原则是保证自启动性的条件下，激励函数尽可能简单。通常，修改方案不唯一。



这里采用的修改方案：

偏离态010的次态为100；偏离态101的次态为010。

$$D_1 = \bar{Q}_3^n \bar{Q}_2^n + \bar{Q}_3^n Q_1^n$$

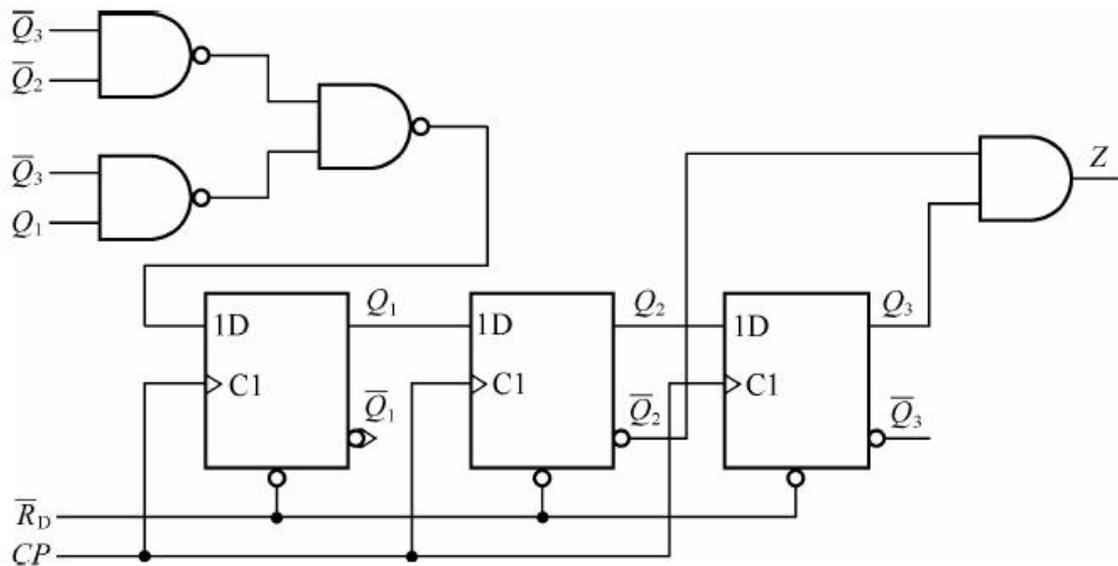


图 5.3.14 例 5.3.3 的电路图



1、异步计数器的分析

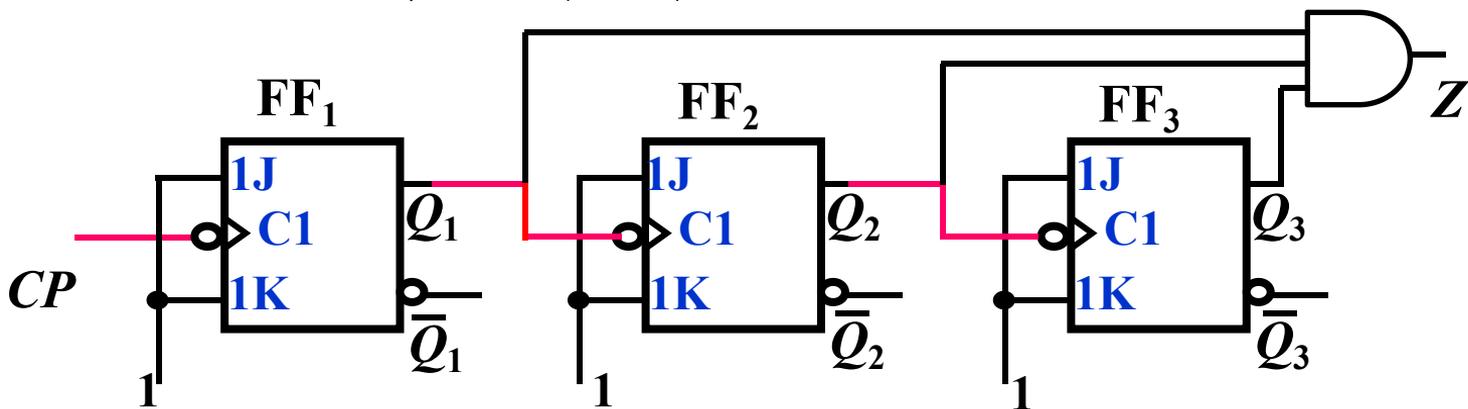
特点：各触发器的CP脉冲不是同一个，以至状态翻转不在同一时刻发生。

优点：同样性能的计数器，异步计数器结构比同步计数器简单。

缺点：分析与设计比同步计数器复杂些。计数器速度较慢。



例5.3.6：分析下图所示的异步计数器：



解：1) $J_i=K_i=1$ 构成3个T'FF。

$$2) Q_3^{n+1} = [\bar{Q}_3^n] \cdot Q_2^n \downarrow$$

$$Q_2^{n+1} = [\bar{Q}_2^n] \cdot Q_1^n \downarrow$$

$$Q_1^{n+1} = [\bar{Q}_1^n] \cdot CP \downarrow$$

$$Z = Q_3 Q_2 Q_1$$



3) 列状态转移表:

表 5.3.12 状态转移表:

序号 (CP↓ 的个数)	S(t)			N(t)			Z
	Q ₃	Q ₂	Q ₁	Q ₃	Q ₂	Q ₁	
0	0	0	0	0	0	1	0
1	0	0	1	0	1	0	0
2	0	1	0	0	1	1	0
3	0	1	1	1	0	0	0
4	1	0	0	1	0	1	0
5							
6							
7							

$$Q_3^{n+1} = [\bar{Q}_3^n] \cdot Q_2^n \downarrow$$

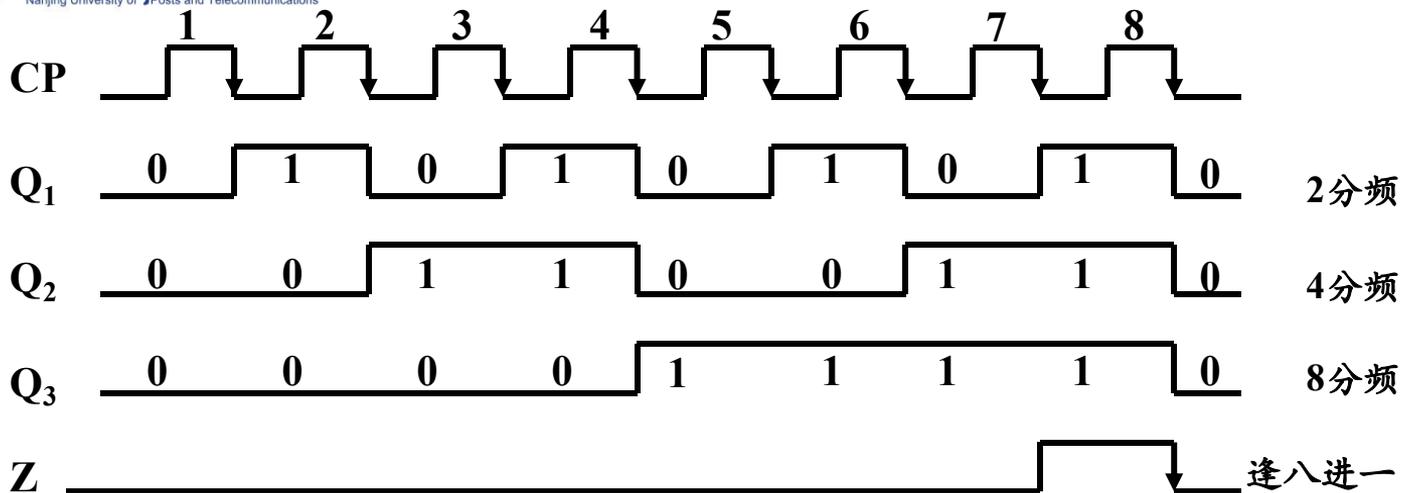
$$Q_2^{n+1} = [\bar{Q}_2^n] \cdot Q_1^n \downarrow$$

$$Q_1^{n+1} = [\bar{Q}_1^n] \cdot CP \downarrow$$

$$Z = Q_3 Q_2 Q_1$$



CP↓的个数	S(t)			Z=Q ₃ Q ₂ Q ₁
	Q ₃	Q ₂	Q ₁	
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1



电路的工作波形图

- (1) 由 n 个T'FF构成。
- (2) 计数脉冲CP送至**第一级**触发器的时钟 CP_1 。
- (3) 后一级输出 Q_{i+1} 是前一级输出 Q_i 的二分频，且在 Q_i 的**下降**沿触发翻转。



$M=2^n$ 的异步二进制加法计数器的一般规律:

- (1) 由 n 个T'FF构成。
- (2) 计数脉冲CP送至**第一级**触发器的时钟 CP_1 。
- (3) 后一级输出 Q_{i+1} 是前一级输出 Q_i 的二分频,且在 Q_i 的**下降沿**触发翻转,因此

对于JKFF: $Q_i \rightarrow CP_{i+1}$

对于DFF: $\bar{Q}_i \rightarrow CP_{i+1}$

进位信号 $Z=Q_1 Q_2 \cdots Q_n$



用DFF构成的3位二进制异步加法计数器电路

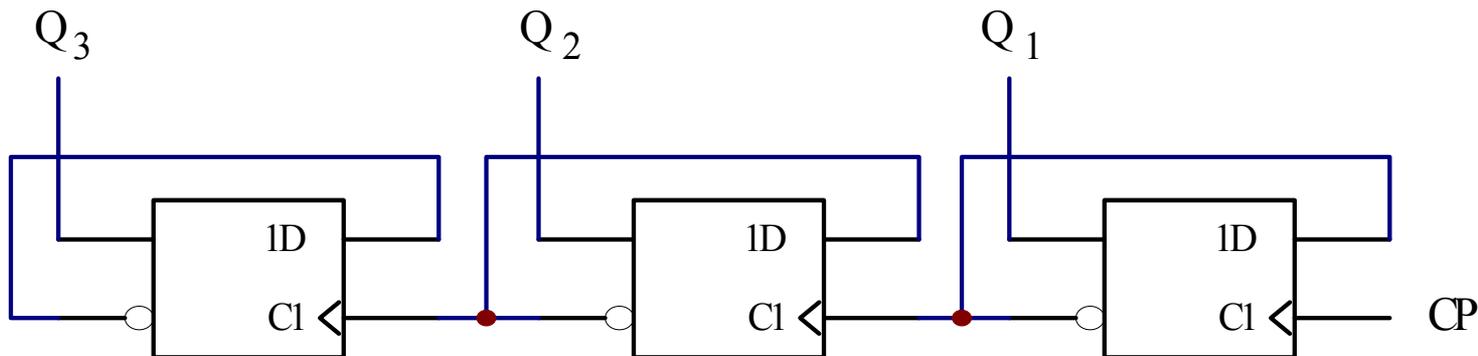
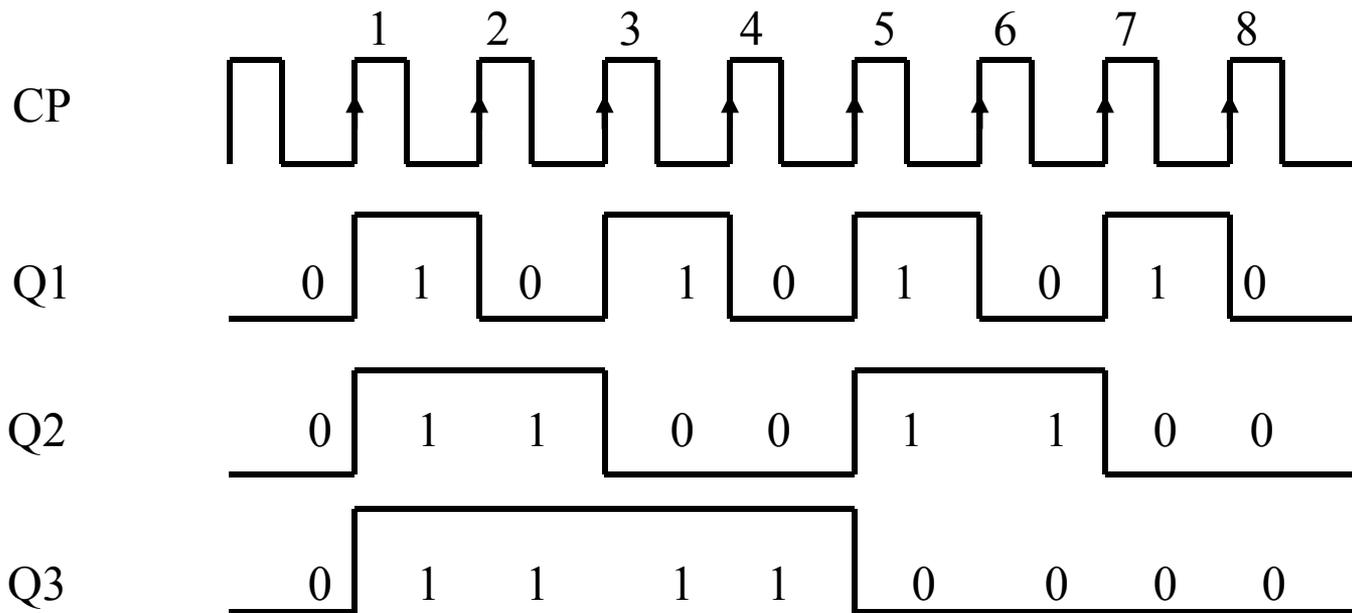


图5.3.27 用DFF构成的3位二进制异步加法计数器

异步二进制减法计数器的波形图



$M=2^n$ 的异步二进制减法计数器的一般规律:

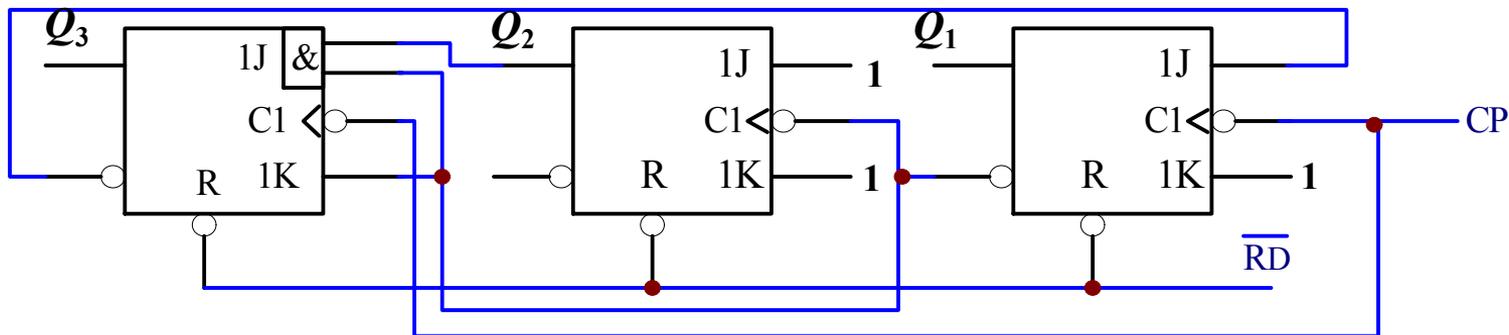
- (1) 由 n 个 $T'FF$ 构成。
- (2) 计数脉冲接**第一级**触发器的时钟 CP_1 。
- (3) 后一级输出 Q_{i+1} 是前一级输出 Q_i 的二分频,且在 Q_i 的**上升沿**触发。

对于JKFF: $\bar{Q}_i \rightarrow CP_{i+1}$

对于DFF: $Q_i \rightarrow CP_{i+1}$

进位信号 $Z = \bar{Q}_1 \bar{Q}_2 \dots \bar{Q}_n$

例5.3.7：分析下图异步计数器的功能

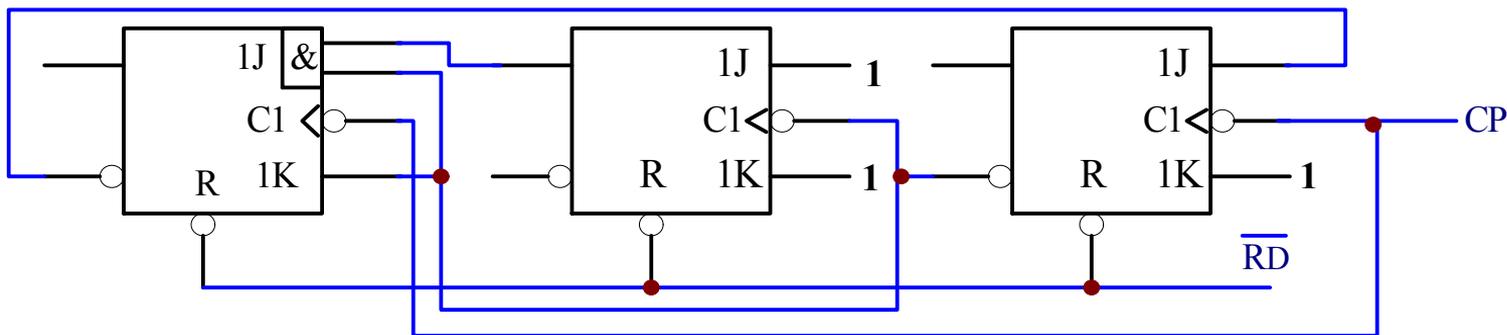


解：1) 激励方程：

$$J_1 = \bar{Q}_3^n \quad K_1 = 1$$

$$J_2 = K_2 = 1$$

$$J_3 = \bar{Q}_1^n \cdot Q_2^n \quad K_3 = \bar{Q}_1^n$$



解：

2) 次态方程

$$Q_1^{n+1} = [\bar{Q}_3^n \bar{Q}_1^n] \cdot CP \downarrow$$

$$Q_2^{n+1} = [\bar{Q}_2^n] \cdot \bar{Q}_1^n \downarrow = [\bar{Q}_2^n] \cdot Q_1^n \uparrow$$

$$Q_3^{n+1} = [Q_2^n \bar{Q}_3^n \bar{Q}_1^n + Q_1^n Q_3^n] \cdot CP \downarrow$$

2) 次态方程

$$Q_1^{n+1} = [\bar{Q}_3^n \bar{Q}_1^n] \cdot CP \downarrow$$

$$Q_2^{n+1} = [\bar{Q}_2^n] \cdot \bar{Q}_1^n \downarrow = [\bar{Q}_2^n] \cdot Q_1^n \uparrow$$

$$Q_3^{n+1} = [Q_2^n \bar{Q}_3^n \bar{Q}_1^n + Q_1^n Q_3^n] \cdot CP \downarrow$$

		$Q_2^n Q_1^n$			
		00 $Q_1^n \uparrow$	01	11	10 $Q_1^n \uparrow$
Q_3^n	0	011	000	010	101
	1	000	100	110	010
		Q_3^{n+1}	Q_1^{n+1}		

3) 列状态转移表:

序号	Q_3	Q_2	Q_1
0	0	0	0
1	0	1	1
2	0	1	0
3	1	0	1
4	1	0	0
偏离 状态	$001 \rightarrow 000 \checkmark$ $110 \rightarrow 010 \checkmark$ $111 \rightarrow 110 \rightarrow 010 \checkmark$		

$Q_2^n \backslash Q_1^n$	00	01	11	10
0	011	000	010	101
1	000	100	110	010

4) 该计数器为M=5具有自启动性的异步计数器。



2. 异步计数器的设计

在异步二进制计数器的基础上，用异步复0法实现任意进制计数器。

- 1) 首先用 n 个T'FF实现 $M=2^n$ 的异步二进制计数器。
- 2) 用异步复0法实现任意进制计数器，用基本SRFF实现可靠复位。



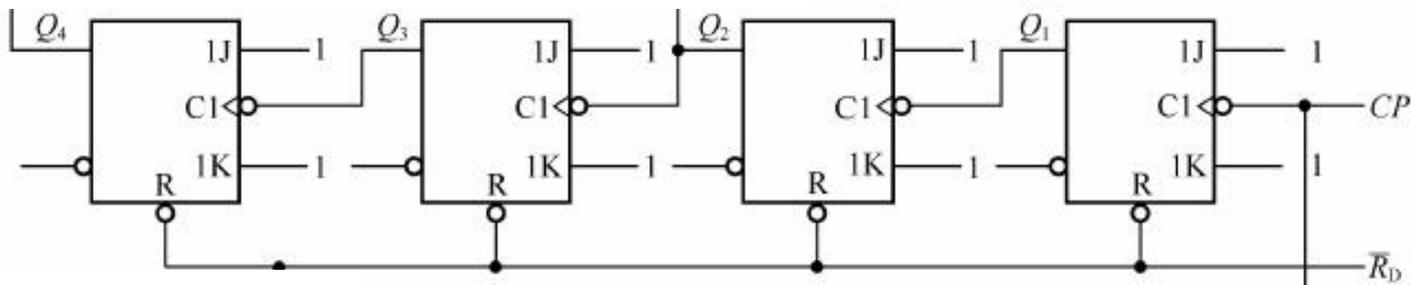
例：用脉冲反馈法设计异步8421BCD码计数器。

解：1) 首先用4个T'FF实现M=16的异步计数器

2) 用异步复0法实现M=10的计数器，用基本SRFF实现可靠复位。



电路图为：





第五章 时序逻辑电路

5.3 计数器

5.3.5 移存型计数器

特点:

(1) 属于同步计数器。

(2) 第一级触发器的激励由组合电路决定，其余触发器更新均符合

$$Q_i^{n+1} = Q_{i-1}^n$$

对于DFF: $D_i = Q_{i-1}$

对于JKFF: $J_i = Q_{i-1}, K_i = \bar{Q}_{i-1}$

(3) 状态转移表符合移位规律。

(4) 设计简单，只要设计第一级触发器的激励即可。

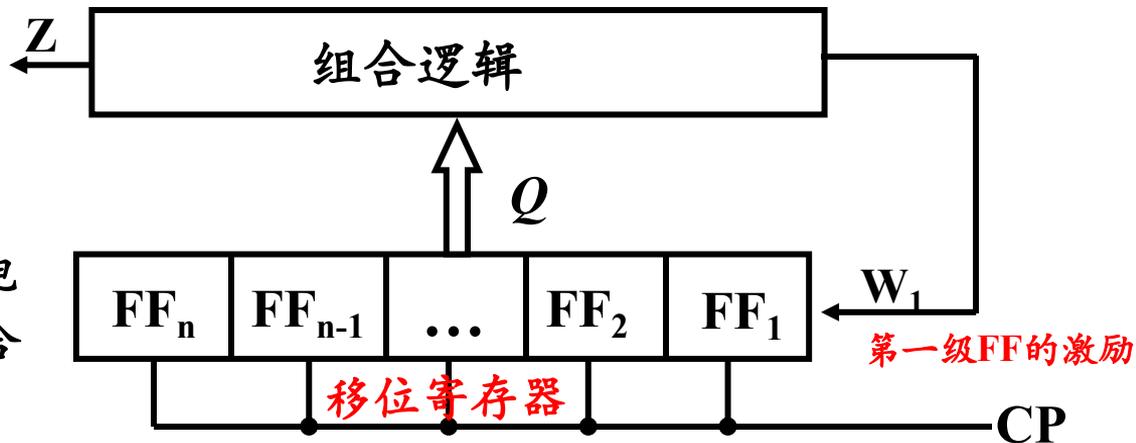


图5.3.34 移存型计数器的一般结构



移存型计数器的分析

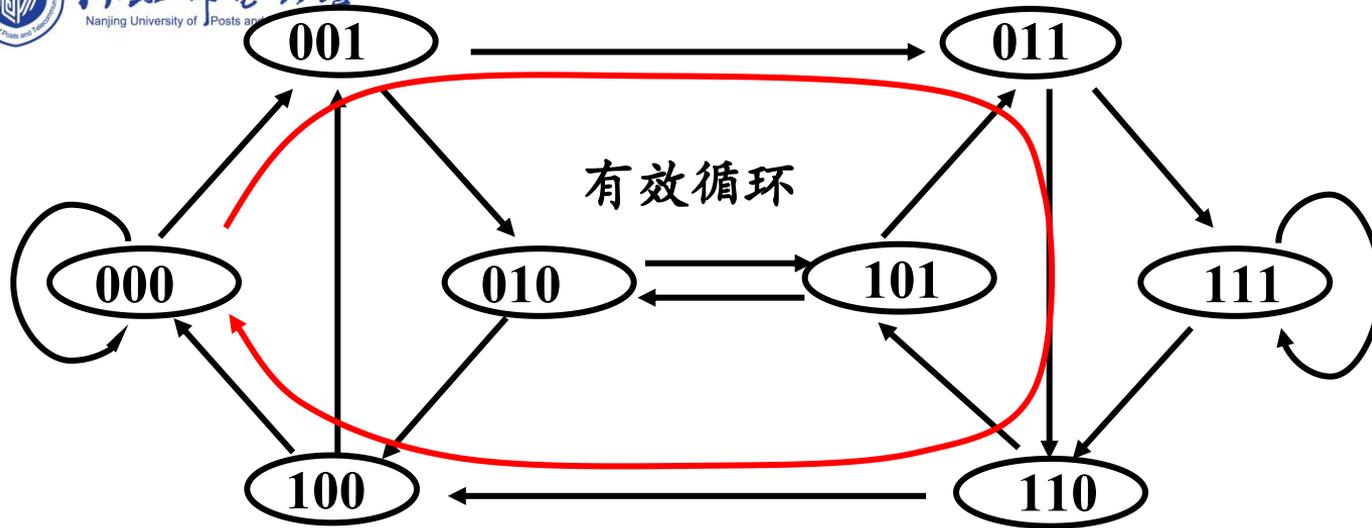
与同步计数器的分析步骤相同，只是得到的状态转移表满足移存规律。



移存型计数器的设计

设计步骤：

- (1) 首先根据模长M确定触发器个数 n ： $n \geq \log_2 M$ 。
- (2) 列状态转移表，必须满足移存规律（**关键：从 2^n 个状态中按移存规律找出所需的M个状态。**）；
- (3) 列第一级激励表，求激励方程，检查自启动性；
- (4) 画逻辑图。



状态转移表:

Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	D_1
0	0	0	0	0	1	1
0	0	1	0	1	1	1
0	1	1	1	1	0	0
1	1	0	1	0	0	0
1	0	0	0	0	0	0



Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	D_1
0	0	0	0	0	1	1
0	0	1	0	1	1	1
0	1	1	1	1	0	0
1	1	0	1	0	0	0
1	0	0	0	0	0	0

$Q_2^n Q_1^n$	Q_3^n			
	00	01	11	10
0	1	1		\emptyset
1		\emptyset	\emptyset	

检查自启动性。

010 → 100

101 → 010

111 → 110

$$Q_1^{n+1} = \bar{Q}_3^n \bar{Q}_2^n$$

$$D_1 = \bar{Q}_3^n \bar{Q}_2^n$$

计数器满足自启动性。



Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	D_1
0	0	0	0	0	1	1
0	0	1	0	1	1	1
0	1	1	1	1	0	0
1	1	0	1	0	0	0
1	0	0	0	0	0	0

$Q_3^n \backslash Q_2^n Q_1^n$	00	01	11	10
0	1	1		\emptyset
1		\emptyset	\emptyset	

$$Q_1 = \bar{Q}_3^n \bar{Q}_2^n (\bar{Q}_1^n + Q_1^n)$$

$$= \bar{Q}_3^n \bar{Q}_2^n \bar{Q}_1^{n+1} + \bar{Q}_3^n \bar{Q}_2^n Q_1^n$$

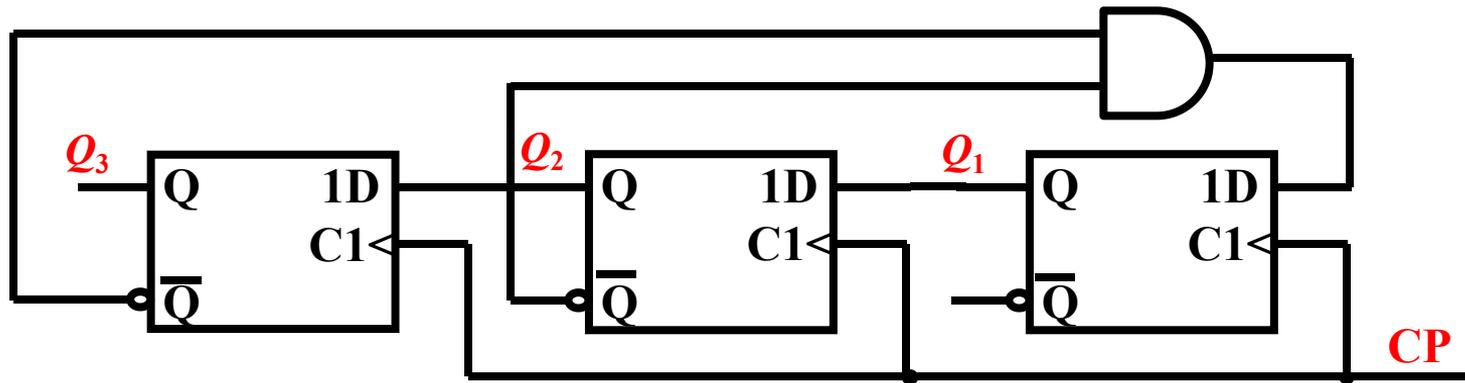
$$J_1 = \bar{Q}_3^n \bar{Q}_2^n \quad K_1 = \overline{\bar{Q}_3^n \bar{Q}_2^n}$$

计数器满足自启动性。



画逻辑图：

$$D_1 = \bar{Q}_3^n \bar{Q}_2^n$$



环形计数器

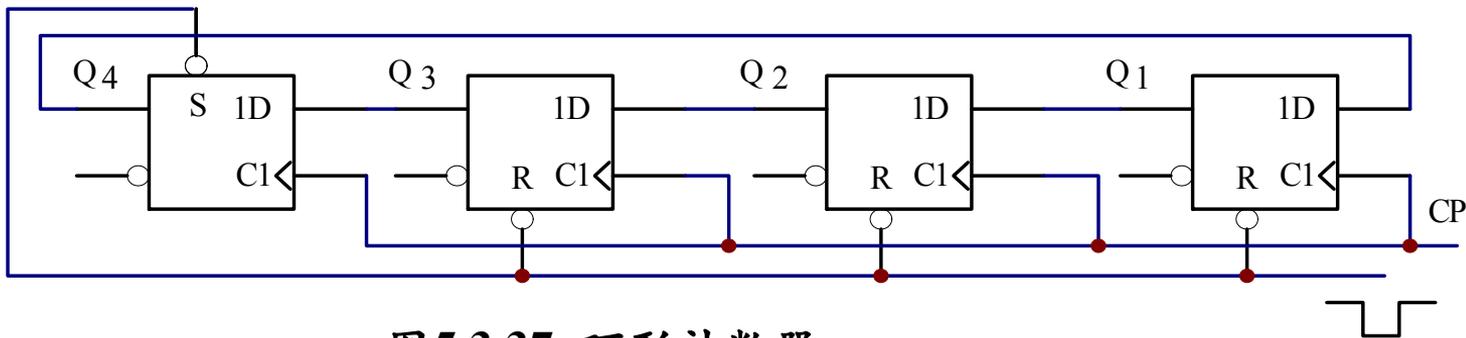


图5.3.37 环形计数器

电路构成特点：原码反馈

$$D_1 = Q_4^n$$

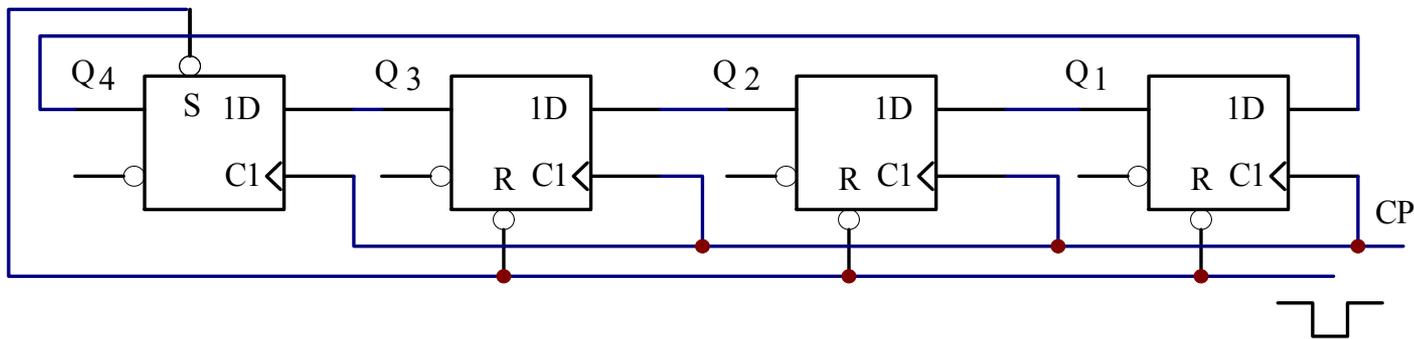


表5.3.15 环形计数器状态转移表

CP↑	Q ₄	Q ₃	Q ₂	Q ₁	状态转移路线
0	1	0	0	0	
1	0	0	0	1	
2	0	0	1	0	
3	0	1	0	0	

结论：n位触发器可实现模M=n的环形计数器。

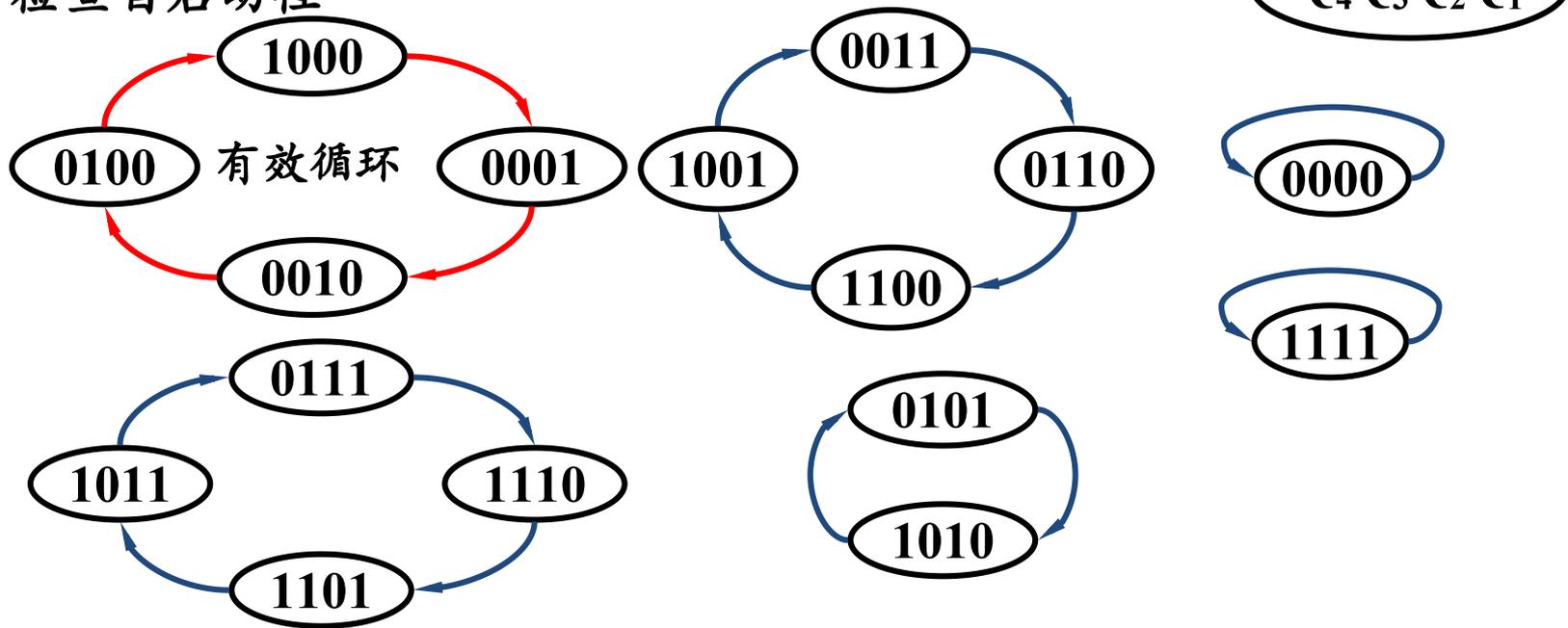
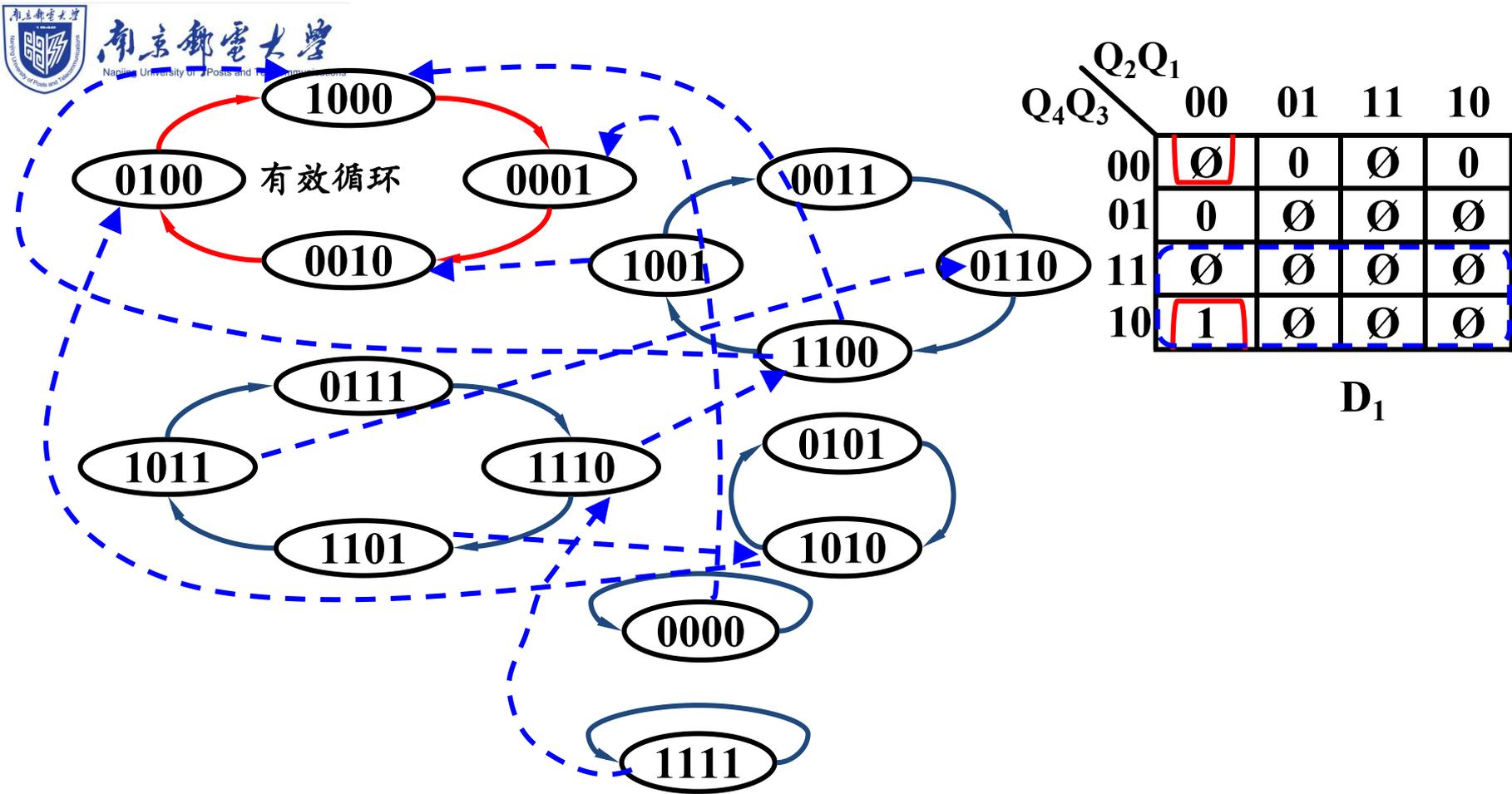


图5.3.38 环形计数器状态转移图

不具有自启动性



修改激励函数，使电路具备自启动性示意图

扭环形计数器

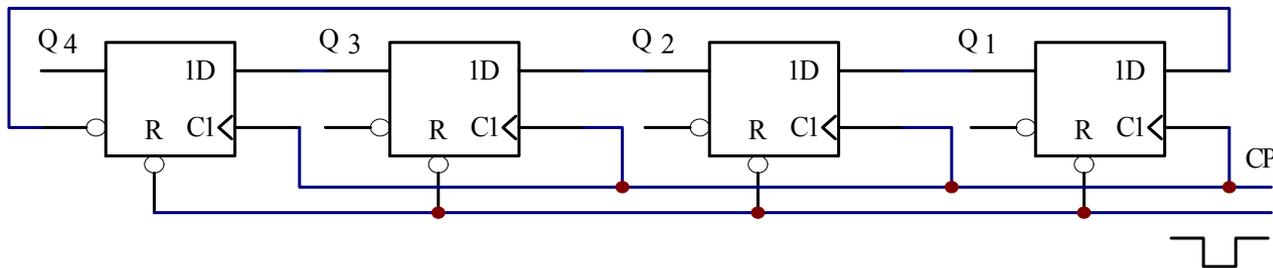


图5.3.39 扭环形计数器

电路构成特点：反码反馈

$$D_1 = \overline{Q_4}^n$$

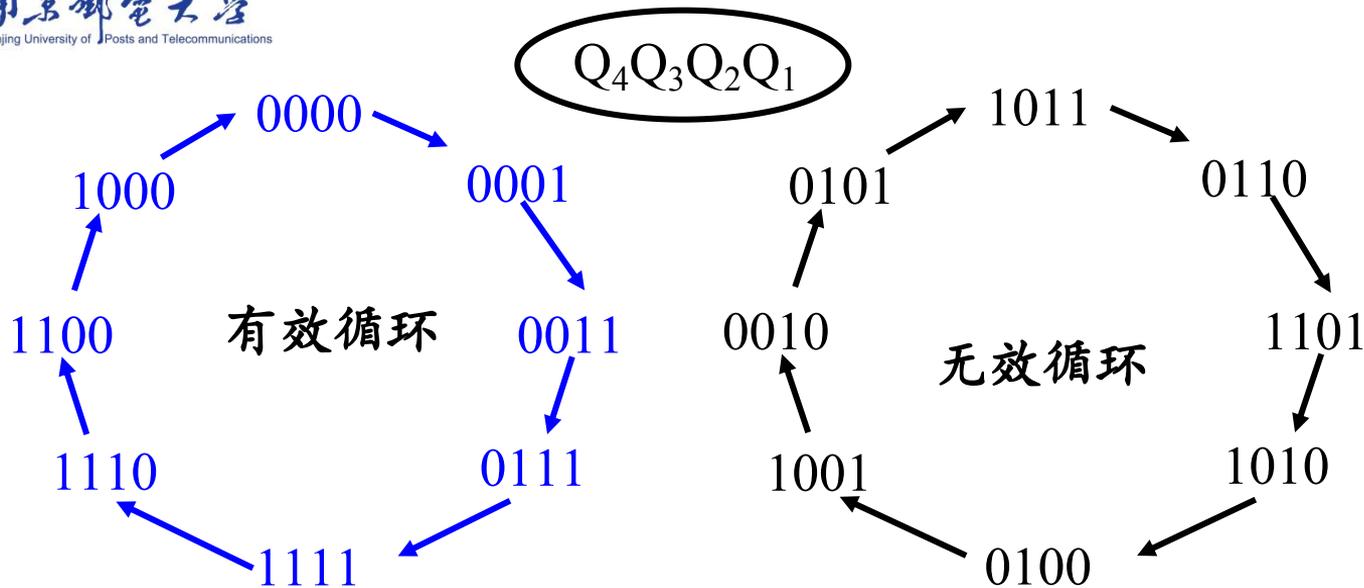


图5.3.40 扭环形计数器状态转移图

结论： (1) n 位触发器可实现模 $M=2n$ 的扭环形计数器。 (2) 汉明距离为1。

用MSI移存器构成环形或扭环形计数器。

$$Q_0^{n+1} = D_{SR} = Q_3^n$$

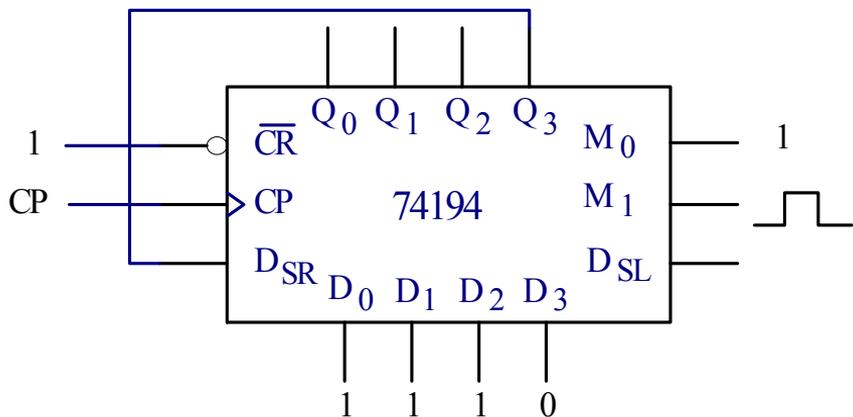


表5.3.16 图5.3.41电路的状态转移表

CP↑	Q ₀	Q ₁	Q ₂	Q ₃	状态转移路线
1	1	1	1	0	
2	0	1	1	1	
3	1	0	1	1	
4	1	1	0	1	

图5.3.41 74194构成的环形计数器



第五章 时序逻辑电路

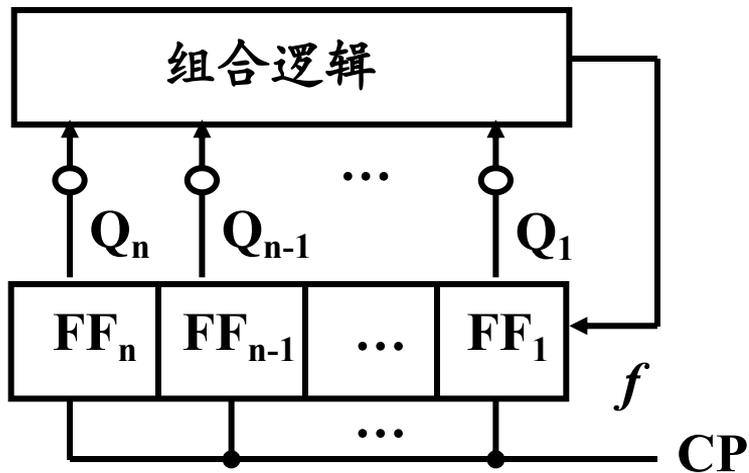
5.4 序列信号发生器



5.4 序列信号发生器

- **序列信号**：周期性重复出现的一串数码，也称为**序列码**。例：
10110 10110
- **循环长度**：一个周期内数码的个数称为序列长度。
- **序列信号发生器**：产生序列信号的电路。
- **结构类型**：
 - { 移存型序列信号发生器
 - { 计数型序列信号发生器

移存型序列信号发生器



任意一个Q引出就可以作为序列信号输出端。

图5.4.1 反馈移存型序列信号发生器的结构图



移存型序列码发生器的设计

设计方法类似移存型计数器的设计。模长为序列码的循环长度，状态编码符合序列码的变化规律。

例：设计产生序列码 101000, 101000, 的反馈移存型序列码发生器。

解：(1) $M=6$ ，至少需要3个触发器来实现。

(2) 列状态转移表：

Q_3	Q_2	Q_1	状态转移路线	模数
1	0	1		M=4
<u>0</u>	<u>1</u>	<u>0</u>		
1	0	0		
0	0	0		
0	0	1		×
0	1	0		

例：设计产生序列码 101000, 101000, 的反馈移存型序列码发生器。

解：需增加一个触发器,取 $n=4$,列状态转移表

Q_4	Q_3	Q_2	Q_1	状态转移路线	模数
1	0	1	0		M=6 √
0	1	0	0		
1	0	0	0		
0	0	0	1		
0	0	1	0		
0	1	0	1		
1	0	1	0		

Q ₄	Q ₃	Q ₂	Q ₁	状态转移路线	模数
1	0	1	0		M=6 ✓
0	1	0	0		
1	0	0	0		
0	0	0	1		
0	0	1	0		
0	1	0	1		
1	0	1	0		
1	0	1	0		

③ 求激励函数

		Q ₂ Q ₁			
		00	01	11	10
Q ₄ Q ₃	00	∅	0	∅	1
	01	0	0	∅	∅
	11	∅	∅	∅	∅
	10	1	∅	∅	0

D₁

$$D_1 = \overline{Q_3}\overline{Q_2}\overline{Q_1} + \overline{Q_4}Q_2 = \overline{\overline{\overline{\overline{Q_3}\overline{Q_2}\overline{Q_1}}}} \overline{\overline{\overline{\overline{Q_4}Q_2}}}$$

计数型序列码发生器

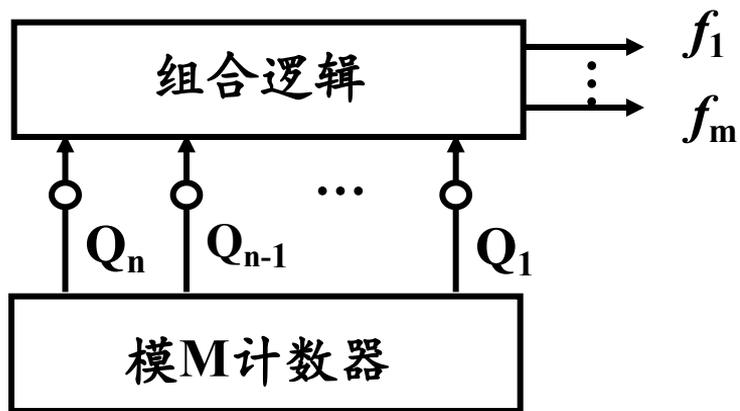


图5.4.2 计数型序列码发生器的结构图



计数型序列码发生器的设计

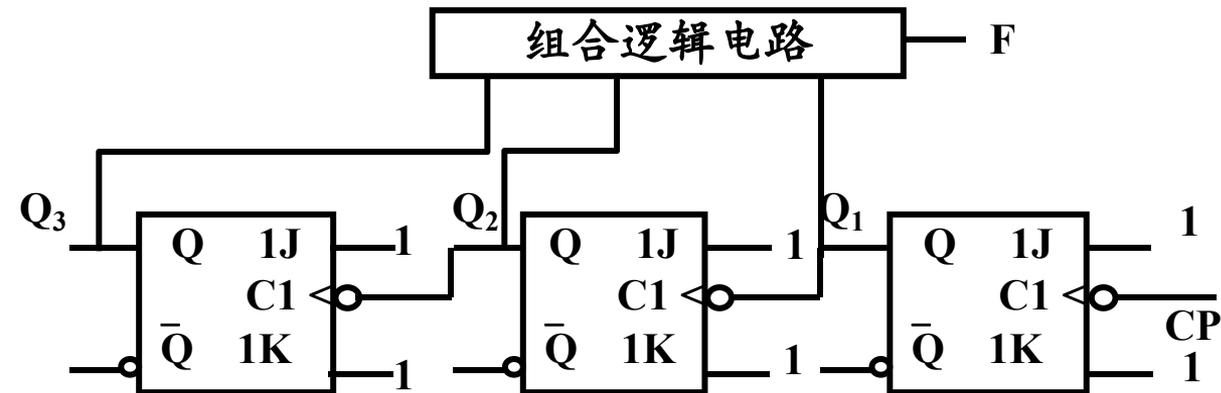
设计步骤:

- 先设计模值为序列长度的计数器
- 再设计组合电路实现序列信号。其输入为计数器各触发器的输出 Q_i ，输出为序列信号 F 。

例：设计产生序列码 $F=11110101, 11110101, \dots$ 的计数型序列码发生器

解：方法一：用小规模器件实现

(1) 设计 $M=8$ 的计数器。本解采用 $n=3$ 的异步二进制加法计数器



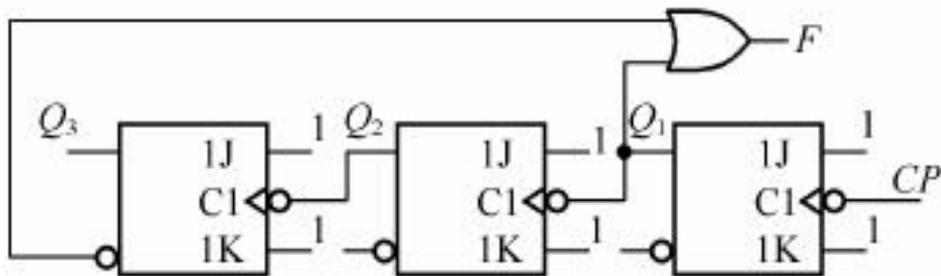


(2) 设计组合电路

真值表:

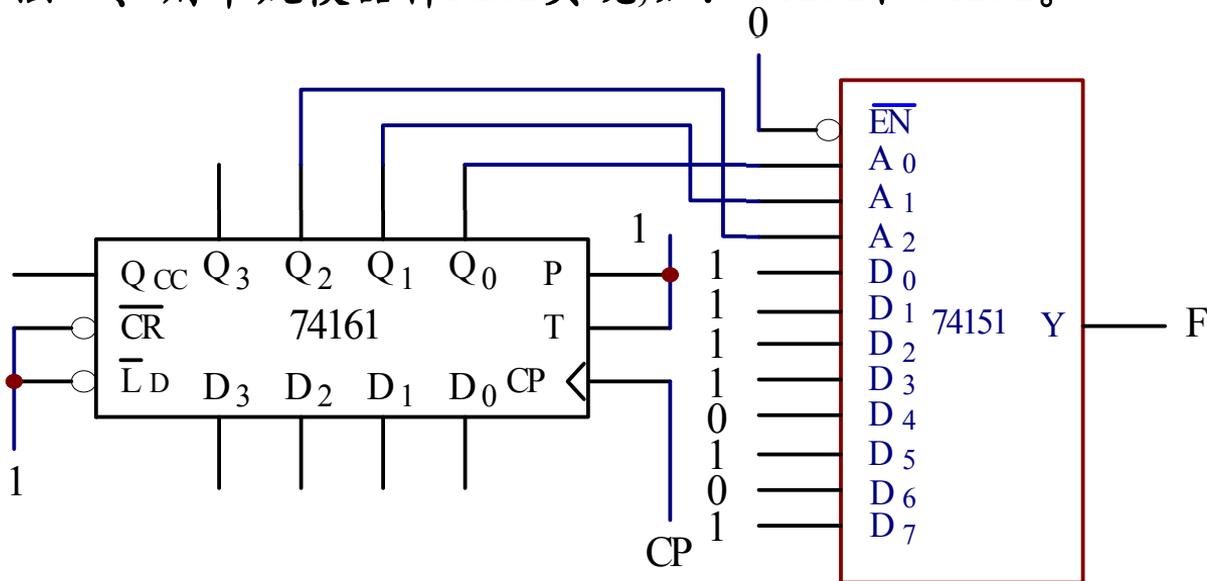
Q_3	Q_2	Q_1	F
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

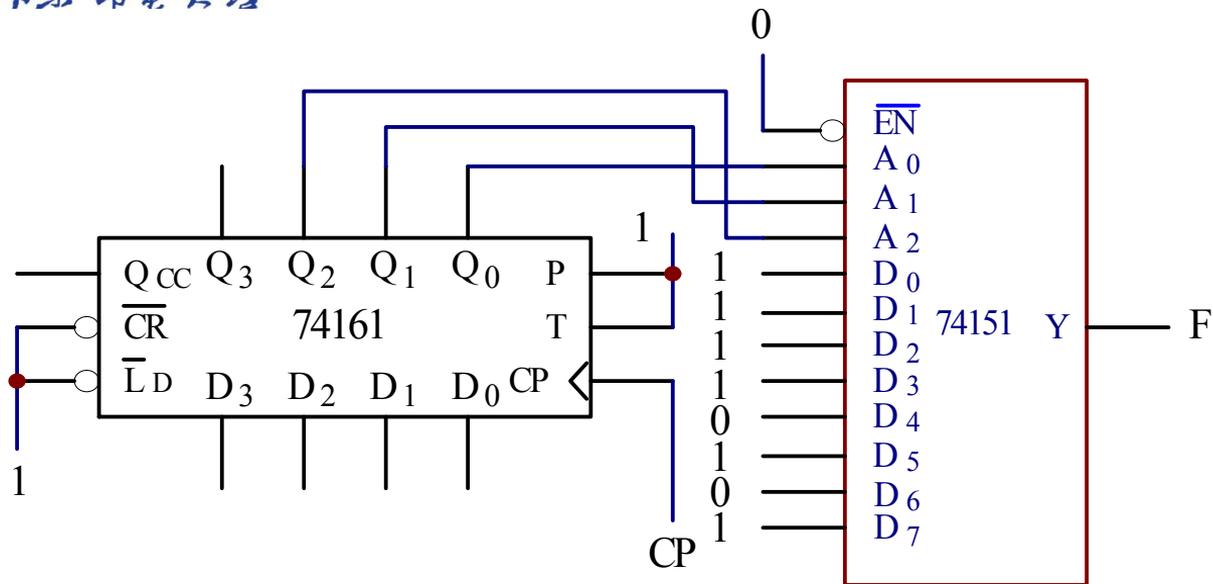
用卡诺图化简得到: $F = \bar{Q}_3 + Q_1$



例：设计产生序列码 $F=11110101,11110101\dots$ 的计数型序列码发生器

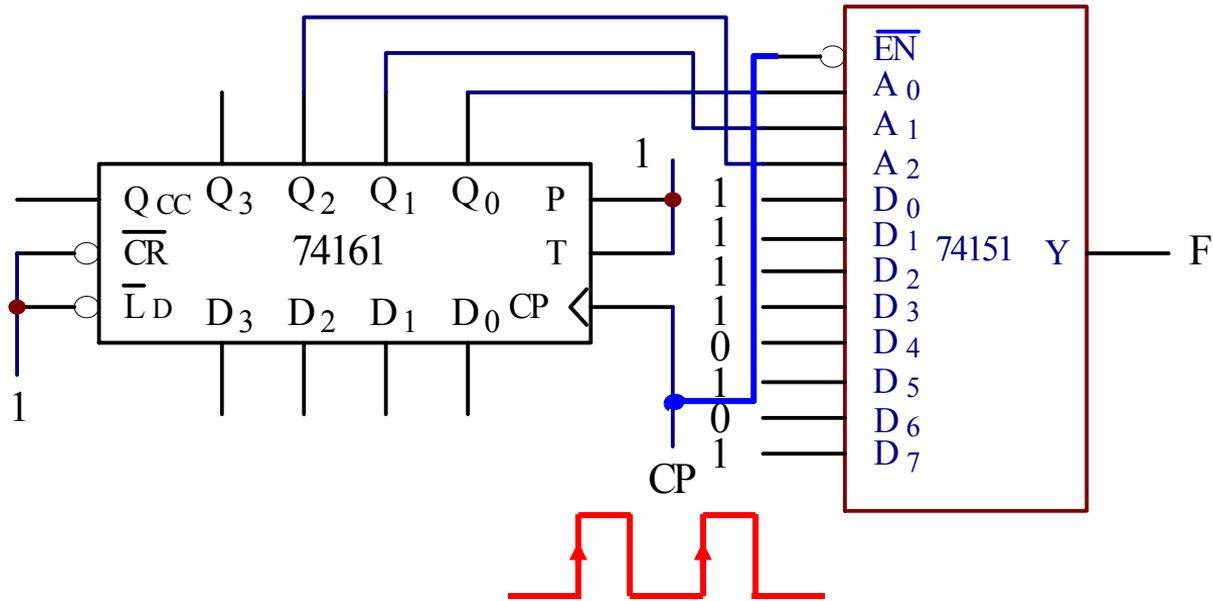
方法二、用中规模器件MSI实现,如：74161和74151。





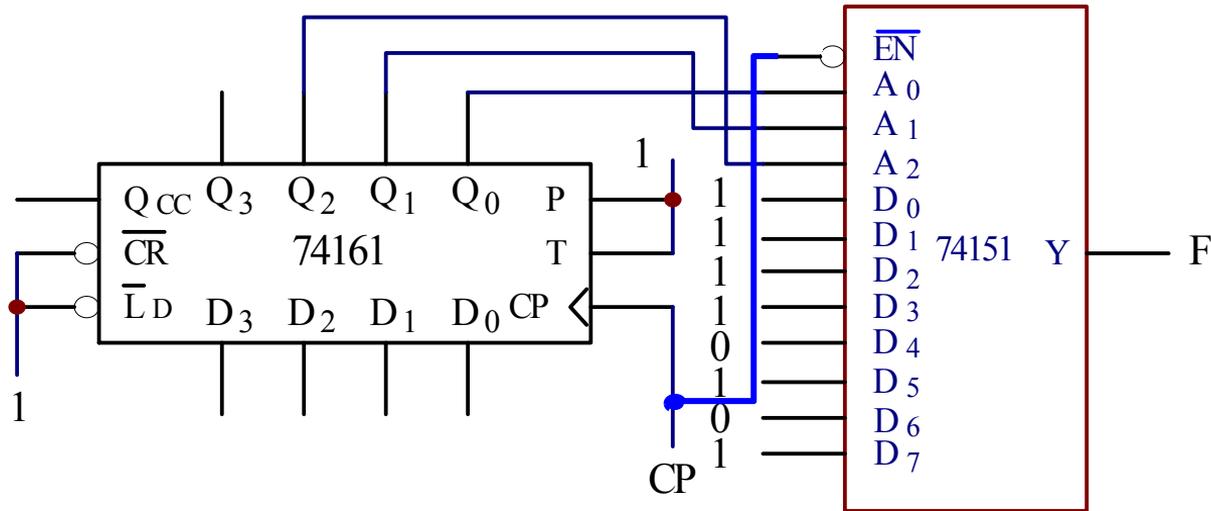
消除冒险方法：

(1) 当计数状态发生改变时，只有一个码元发生改变，可以消除功能冒险。即编码采用格雷码，如扭环型计数器产生的编码状态。



消除冒险方法:

(2) 加取样脉冲。



思考：若用JKFF实现计数器，用74151实现组合电路，问：如何加取样脉冲？

答：将CP取反接入使能输入端。



第五章 时序逻辑电路

5.4 序列信号发生器

m序列



3. 典型电路——m序列

- (1) m序列是一种**伪随机序列**。在通信线路测试，保密通信等发挥着作用。
- (2) m序列的产生电路：一种**移存型序列码发生器**。



m序列的特点

- (1) n 个触发器构成 $M=2^n-1$ 的 m 序列；——最长 (max)
- (2) 反馈电路用异或门实现；
- (3) 在一个周期内，几乎出现0和1的各种组合情况，看上去象一个随机数，如 n 个1， $n-1$ 个0， $n-1$ 个1， $n-2$ 个0.....
- (4) m 序列是线性码，即 m 序列与左移或右移若干位的 m 序列相异或仍为 m 序列。

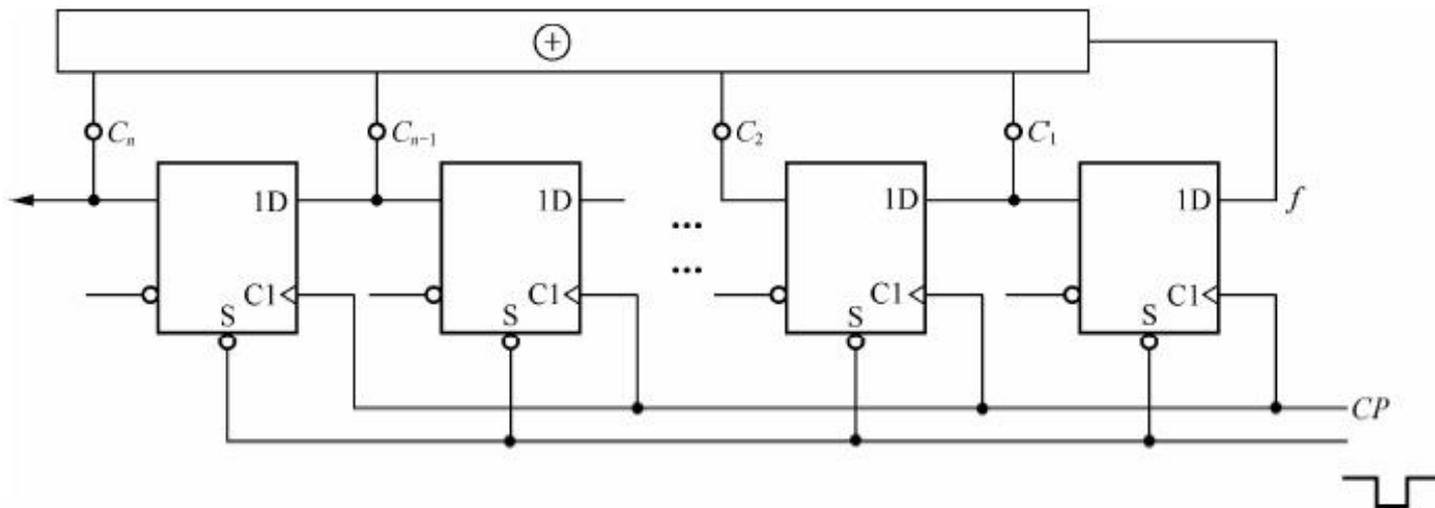
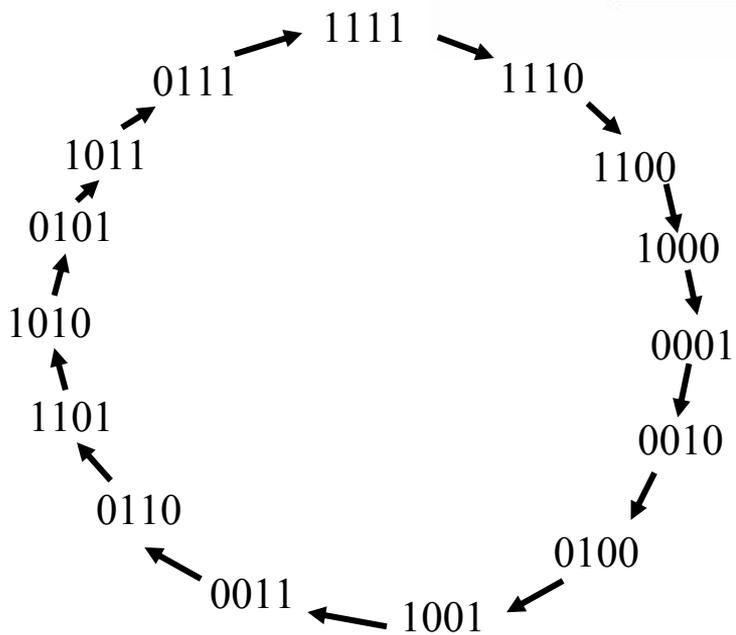
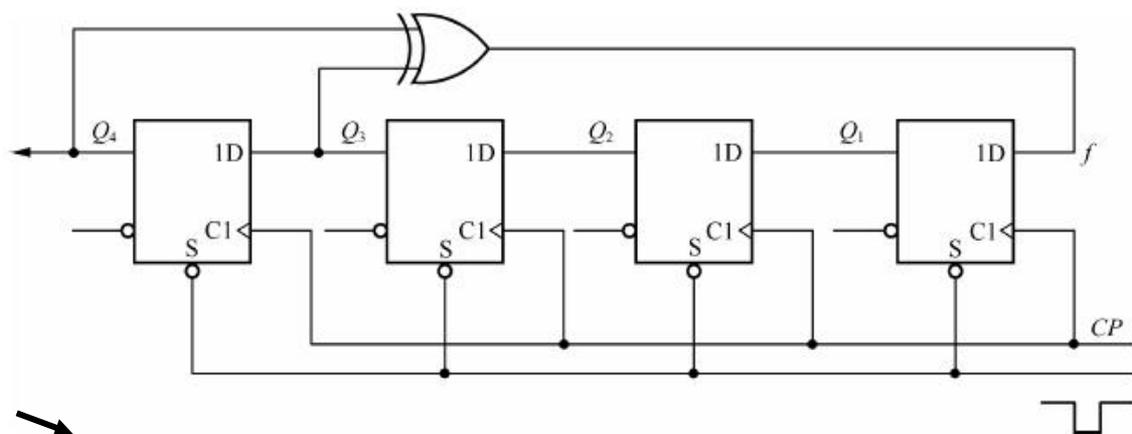


图5.4.7 m序列码发生器的一般结构



写出序列码: **111100010011010,**
111100010011010,



m序列的线性特性

线性: 1 1 1 1 0 0 0 1 0 0 1 1 0 1 0

\oplus 1 0 0 0 1 0 0 1 1 0 1 0 1 1 1

0 1 1 1 1 0 0 0 1 0 0 1 1 0 1

——左移3位

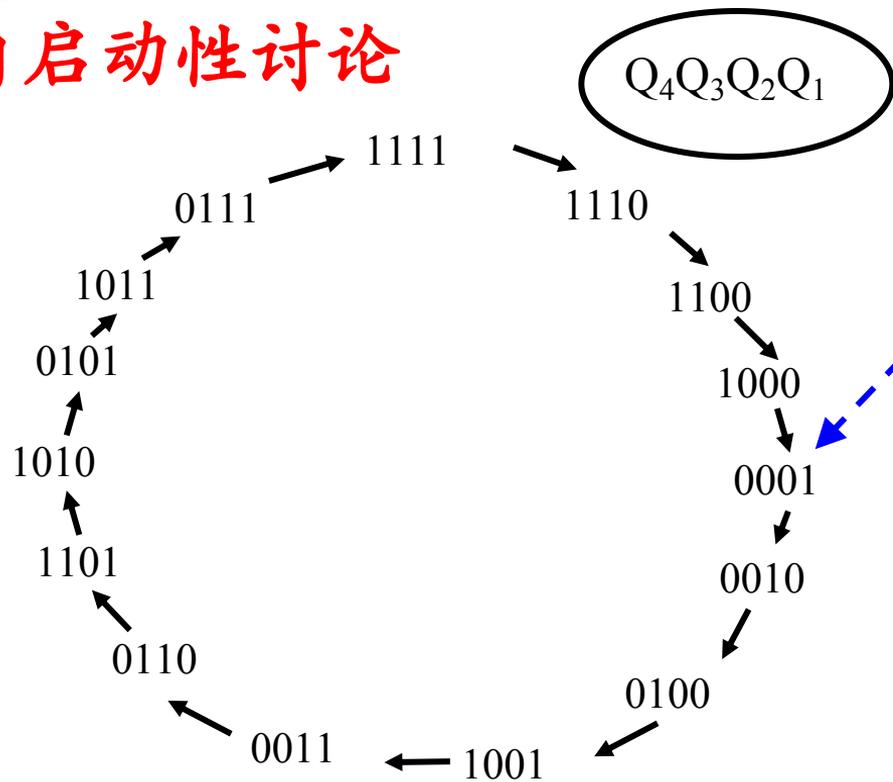
——右移1位



表5.4.4 m序列码反馈函数表

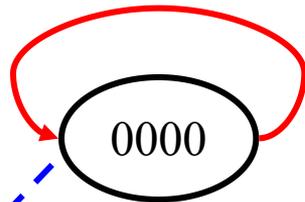
n	<i>f</i>	n	<i>f</i>
1	1	11	11,9
2	2,1	12	12,11,8,6
3	3,2	13	13,12,10,9
4	4,3	14	14,13,11,9
5	5,3	15	15,14
6	6,5	16	16,14,13,11
7	7,6	17	17,14
8	8,6,5,4	18	18,17,16,13
9	9,5	19	19,18,17,14
10	10,7	20	20,17

自启动性讨论



如何修改设计，使其具有自启动性？

$$D_1 = Q_3 \oplus Q_4 + \bar{Q}_4 \bar{Q}_3 \bar{Q}_2 \bar{Q}_1$$



具有自启动性的通用反馈函数为：

$$D_1 = f + \bar{Q}_n \bar{Q}_{n-1} \bar{Q}_{n-2} \dots \bar{Q}_1$$

图5.4.8 M=15的m序列码发生器的状态转移图



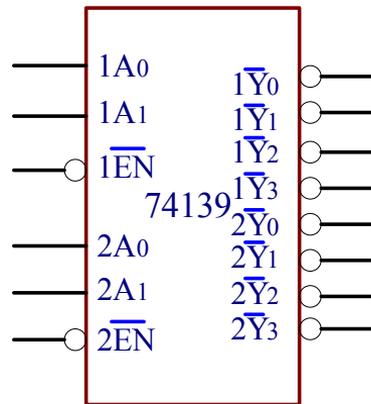
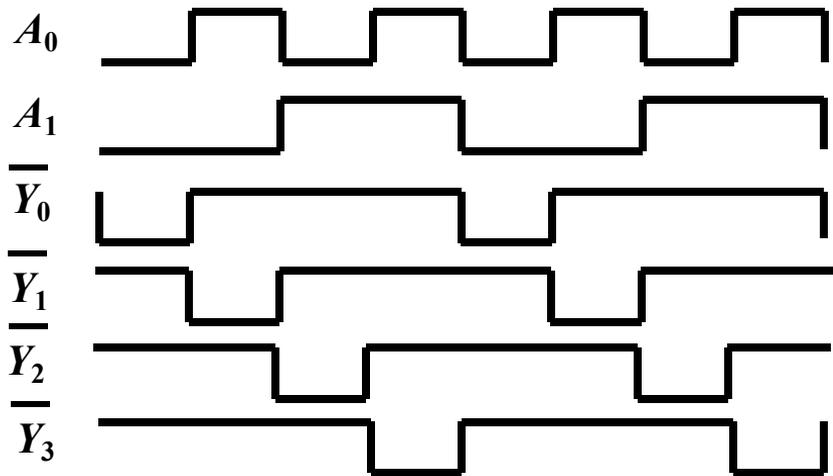
第五章 时序逻辑电路

5.5 顺序脉冲发生器



5.5 顺序脉冲发生器

在数字系统中，需要一种分配器产生节拍信号，这种节拍控制信号就是**按时间顺序**依次出现的一组高电平（低电平）的顺序信号。

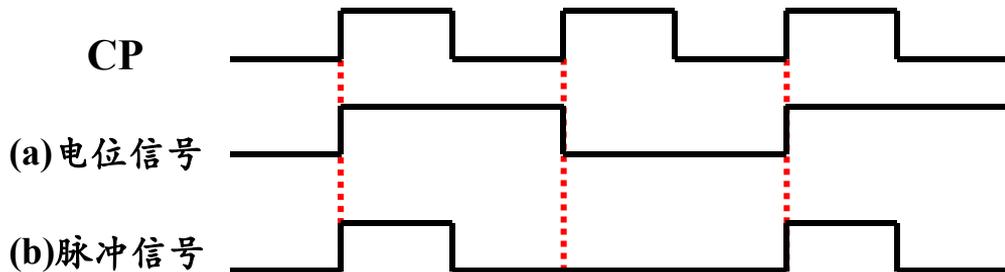




5.5 顺序脉冲发生器

能够产生这种顺序脉冲的电路称为**顺序脉冲发生器**，又称**分配器**

{ 节拍分配器：输出为电位信号
脉冲分配器：输出为脉冲信号



顺序脉冲发生器的设计

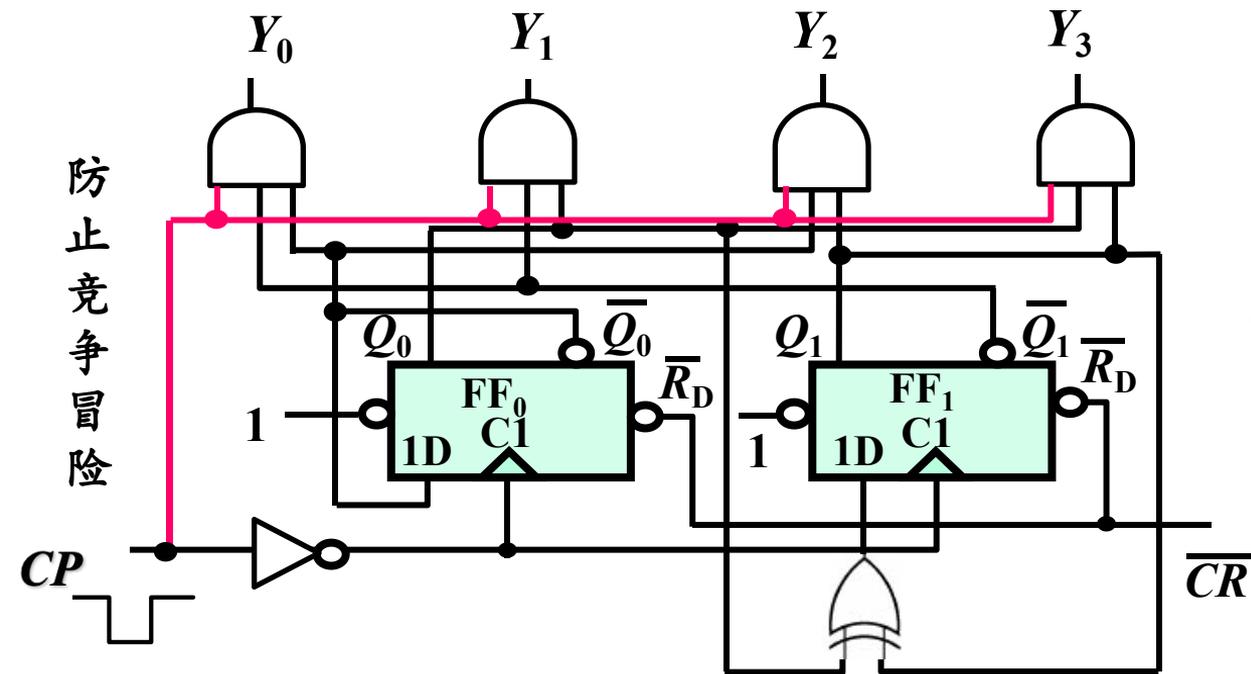
- ①输出端较多时： 采用计数器和译码器。
- ②输出端较少时： 采用环形计数器。

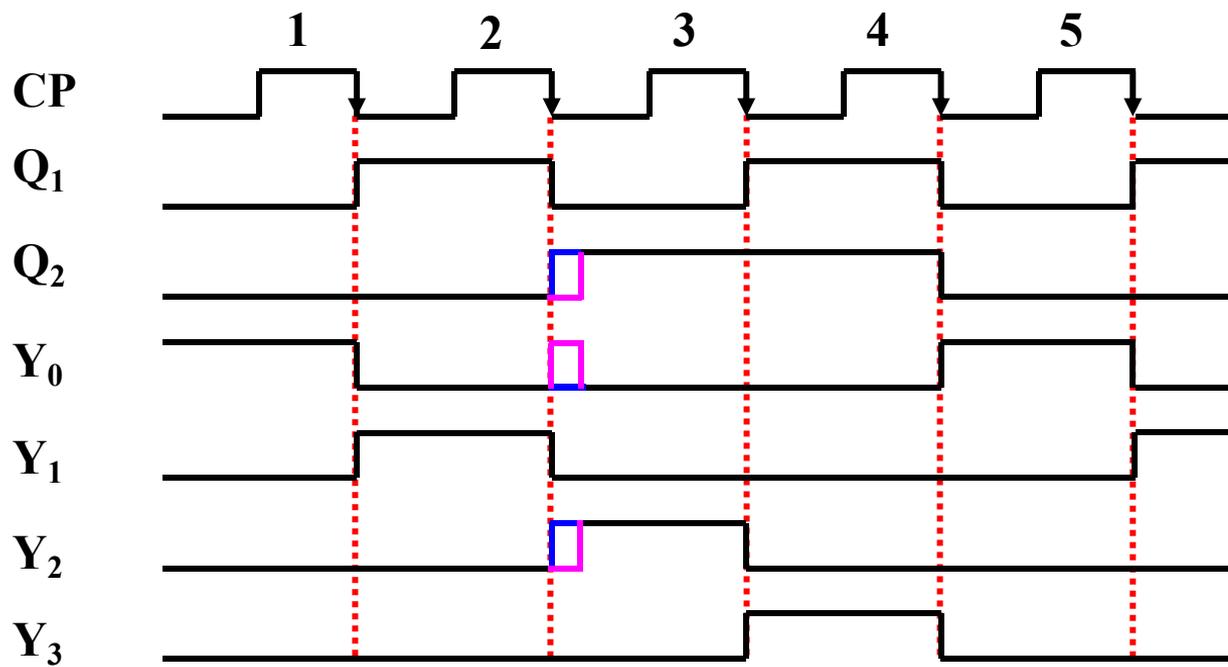
例 1 试设计四输出节拍分配器(输出高电平)。

表 2-4线译码器的真值表

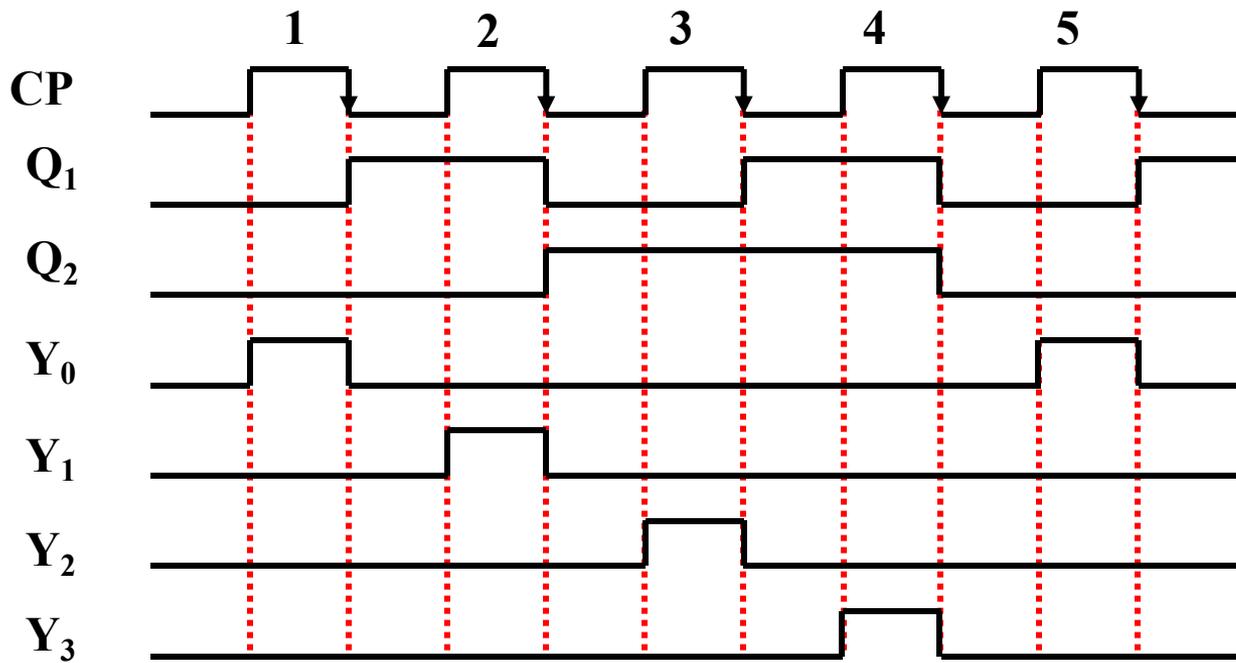
(1) 由 D 触发器和译码器构成

Q_1	Q_0	Y_0	Y_1	Y_2	Y_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1





(a) 四输出节拍分配器波形



(b) 四输出脉冲分配器波形

例 1 试设计四输出节拍分配器(输出高电平)。

解 (2) 用JKFF和译码器。

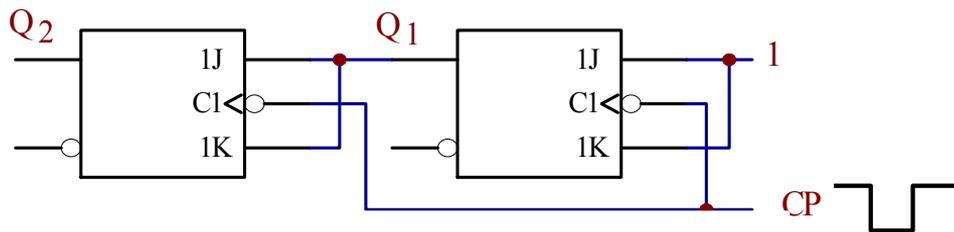
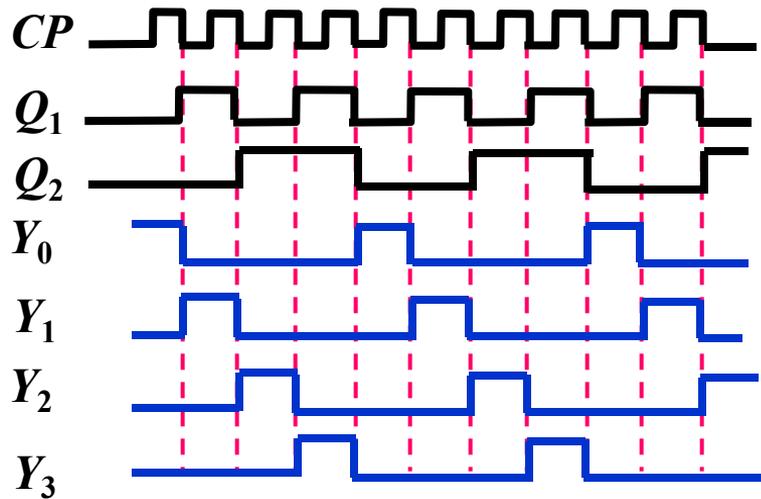
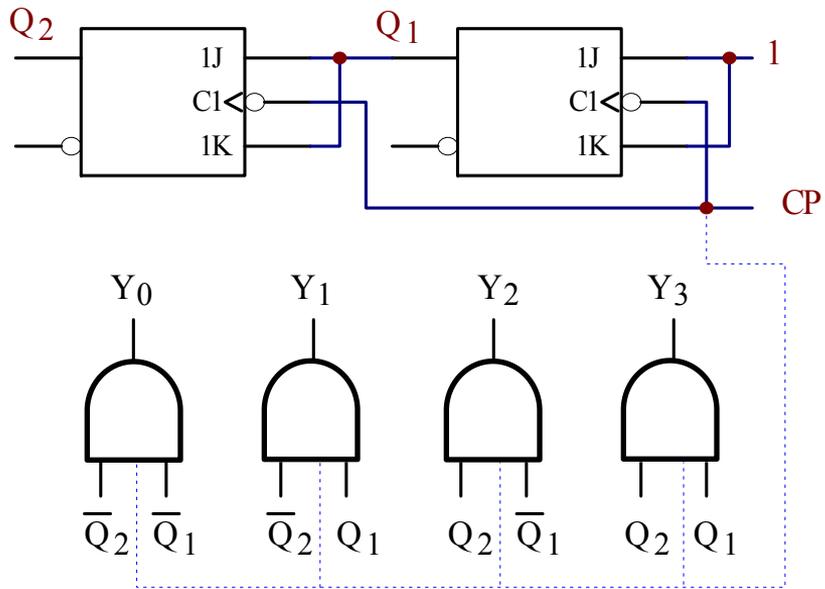


表 2-4线译码器的真值表

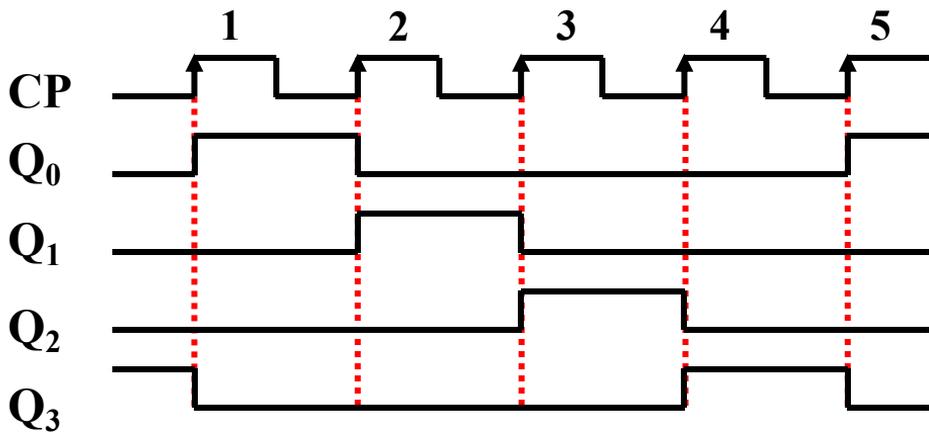
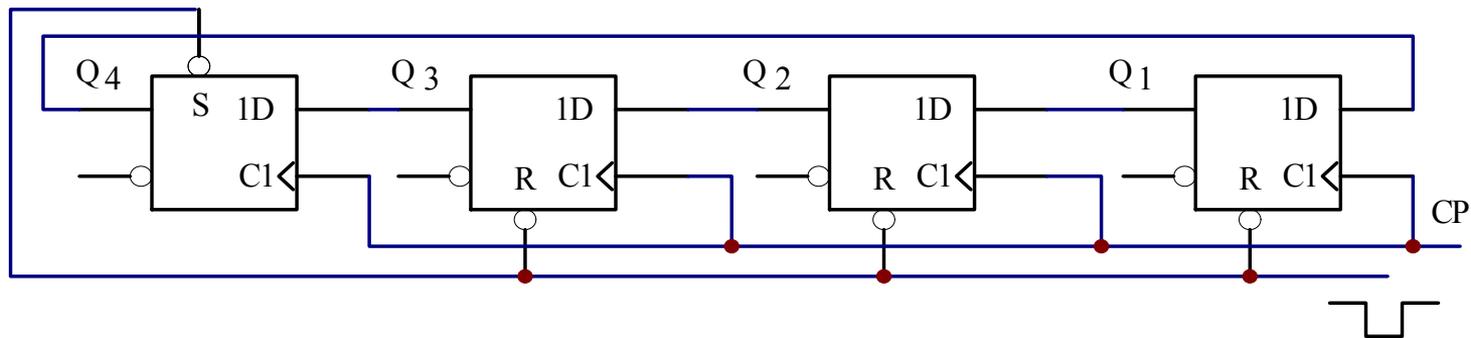
Q_2	Q_1	Y_0	Y_1	Y_2	Y_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1



四输出分配器



例 由 $M=4$ 环形计数器实现四输出节拍分配器。



(b) 工作波形



第五章 时序逻辑电路

5.6 一般时序电路的分析

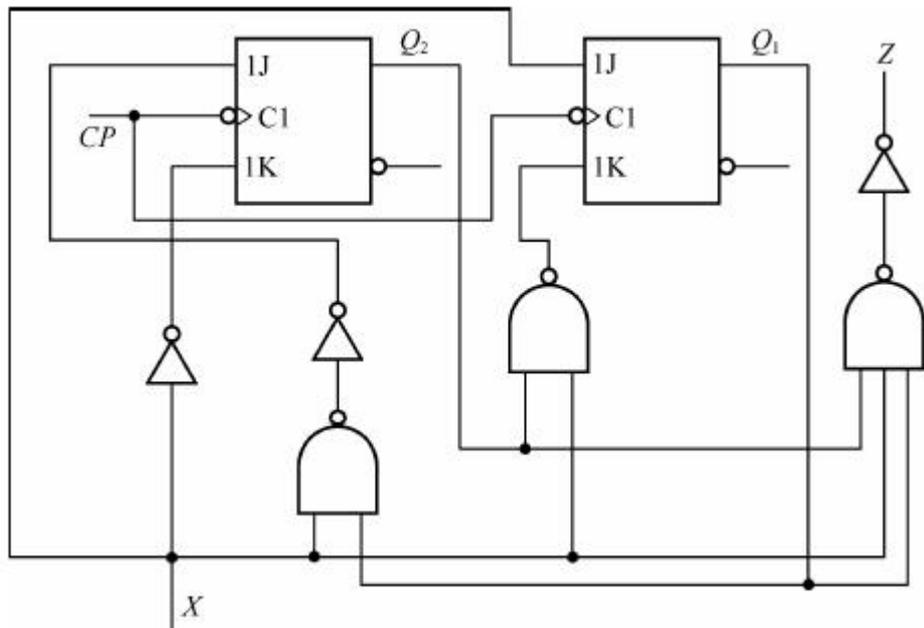


时序电路的分析步骤

- (1) 电路分析：根据电路结构，确定是同步还是异步电路，是Moore型，还是Mealy型；确定输入信号和输出信号，哪些部分是组合逻辑电路，哪些部分是存储电路。
- (2) 列方程：
 - 列各触发器激励方程
 - 列各触发器状态方程（包括CP）
 - 列电路输出方程
- (3) 作状态转移表（图），波形图。
- (4) 分析逻辑功能。



例5.6.1：分析下图所示电路。



解：

b、状态方程：

$$Q_1^{n+1} = [X \bar{Q}_1^n + X \cdot Q_2^n Q_1^n] \cdot CP \downarrow$$

$$Q_2^{n+1} = [X Q_1^n \bar{Q}_2^n + X \cdot Q_2^n] \cdot CP \downarrow$$

c、输出方程： $Z = X Q_1^n Q_2^n$



(3) 列状态转移表

当前输入	当前状态		下一状态		当前输出
X	Q_2^n	Q_1^n	Q_2^{n+1}	Q_1^{n+1}	Z
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	1	0
1	0	1	1	0	0
1	1	0	1	1	0
1	1	1	1	1	1

b、状态方程：

$$Q_1^{n+1} = [X \bar{Q}_1^n + X \cdot Q_2^n Q_1^n] \cdot CP \downarrow$$

$$Q_2^{n+1} = [X Q_1^n \bar{Q}_2^n + X \cdot Q_2^n] \cdot CP \downarrow$$

c、输出方程：

$$Z = X Q_1^n Q_2^n$$



表5.6.1 例5.6.1电路的状态转移表

当前输入	当前状态		下一状态		当前输出
X	Q_2^n	Q_1^n	Q_2^{n+1}	Q_1^{n+1}	Z
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	1	0
1	0	1	1	0	0
1	1	0	1	1	0
1	1	1	1	1	1

Q_2^n	Q_1^n	Q_2^{n+1} Q_1^{n+1}		Z	
		X = 0	X = 1	X = 0	X = 1
0	0	0 0	0 1	0	0
0	1	0 0	1 0	0	0
1	0	0 0	1 1	0	0
1	1	0 0	1 1	0	1

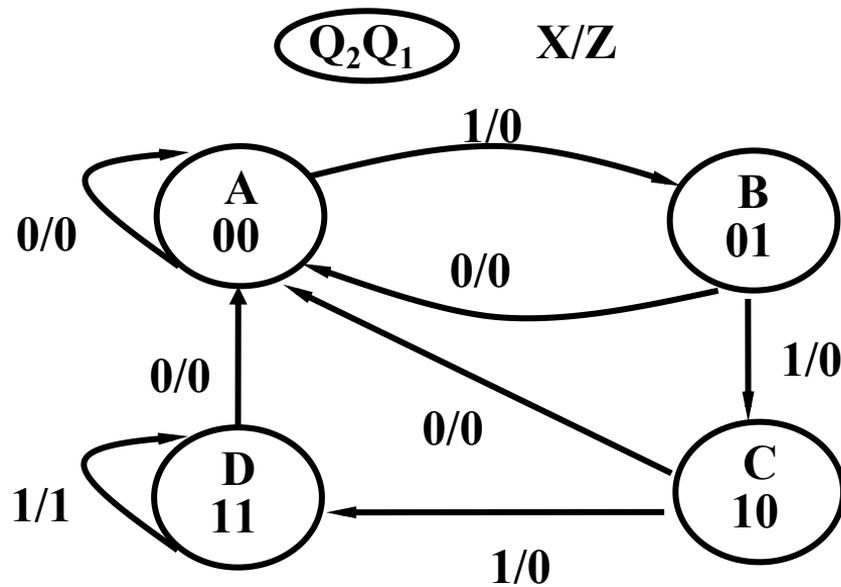


表5.6.1 例5.6.1电路的状态转移表

S(t)	N(t)		Z(t)	
	X=0	X=1	X=0	X=1
A	A	B	0	0
B	A	C	0	0
C	A	D	0	0
D	A	D	0	1

Q_2^n	Q_1^n	Q_2^{n+1} Q_1^{n+1}		Z	
		X=0	X=1	X=0	X=1
0	0	0 0	0 1	0	0
0	1	0 0	1 0	0	0
1	0	0 0	1 1	0	0
1	1	0 0	1 1	0	1

S(t)	N(t)		Z(t)	
	X=0	X=1	X=0	X=1
A	A	B	0	0
B	A	C	0	0
C	A	D	0	0
D	A	D	0	1

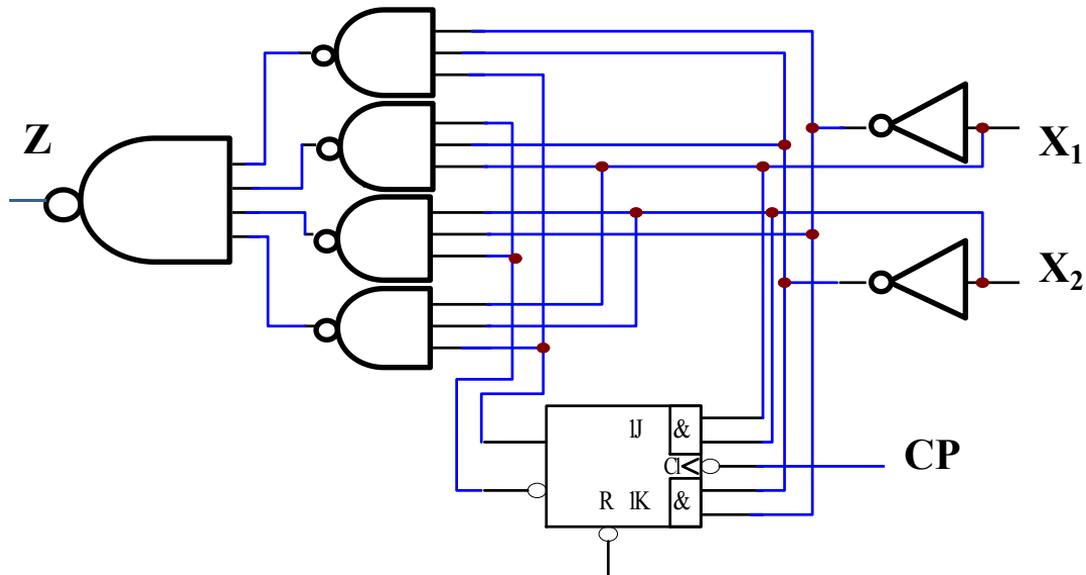


状态转移图



4) **分析逻辑功能**：Mealy型电路。在任何状态下，一旦X出现0，则电路回到初始状态A，且输出Z为0。当X连续出现四个及四个以上的“1”，输出Z则为1，可以看出，该电路是一个连续四个以上1的检测电路。

例2：分析下图所示电路。



解：1) 分析电路结构：该电路是由七个与非门及一个JKFF组成，且CP下降沿触发，属于米勒电路，输入信号 X_1 ， X_2 ，输出信号 Z 。

2) 求触发器激励函数： $J=X_1X_2$ ， $K=\bar{X}_1\bar{X}_2$

触发器次态方程： $Q^{n+1}=X_1X_2\bar{Q}^n+\bar{X}_1\bar{X}_2Q^n$

电路输出方程：

$Z=\bar{X}_1\bar{X}_2Q^n+X_1\bar{X}_2\bar{Q}^n+\bar{X}_1X_2\bar{Q}^n+X_1X_2Q^n$

3) 状态转移表:

输入 $X_1 X_2$		$S(t)$ Q^n	$N(t)$ Q^{n+1}	输出 Z
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

例如: $X_1=110110$, $X_2=110100$, 则运算时序如下:

节拍脉冲CP	6	5	4	3	2	1	0
被加数 X_1	0	1	1	0	1	1	0
加数 X_2	0	1	1	0	1	0	0
低位进位 Q^n	1	1	0	1	0	0	0
高位进位 Q^{n+1}	0	1	1	0	1	0	0
本位和 Z	1	1	0	1	0	1	0

4) 逻辑功能: 实现串行二进制加法运算。 X_1X_2 为被加数和加数, Q^n 为低位来的进位, Q^{n+1} 表示向高位的进位, Z 为计算结果。



5.7 一般时序电路的设计

一般同步时序电路的设计步骤如下：

- 1) 由给定要求建立原始状态转移图或（和）原始状态转移表；
- 2) 化简原始状态转移表（状态简化或状态合并）；
- 3) 状态编码（状态分配）；
- 4) 选定触发器类型并设计各触发器的激励函数和电路的输出函数；
- 5) 自启动性检查；
- 6) 作逻辑电路图。



序列检测器的最简状态转移图：

例： 建立1001序列检测器的状态转移图。

序列码检测的两种情形：

- 1) 序列不可以重叠。
- 2) 序列可以重叠。



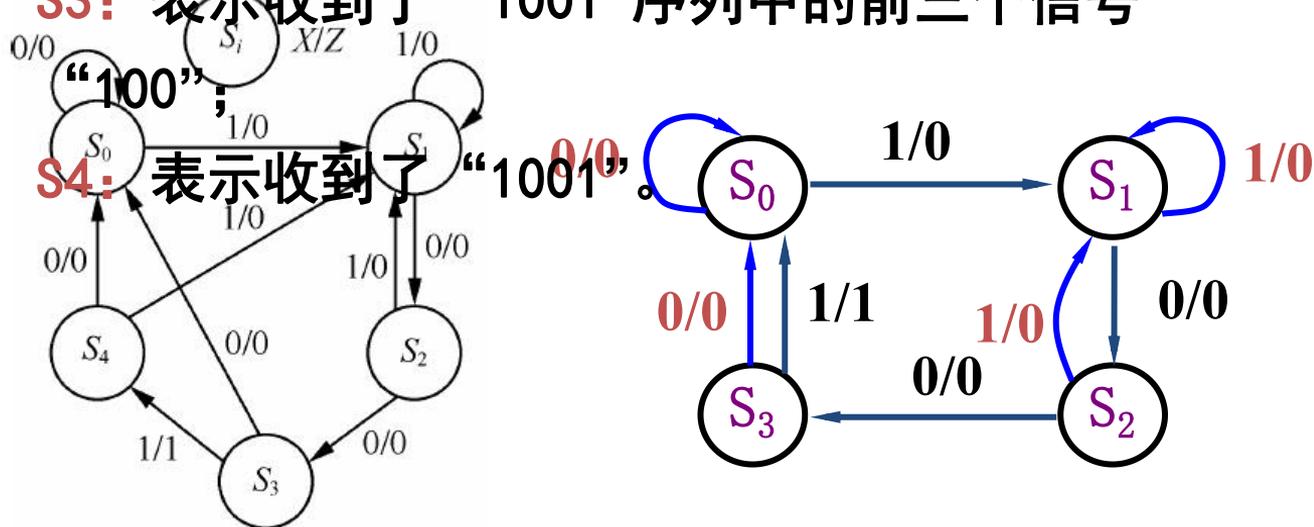
序列不可以重叠时的状态间的转换关系：

S0：初态，没有序列信号输入时电路的状态；

S1：表示收到了“1001”序列中的第1个“1”；

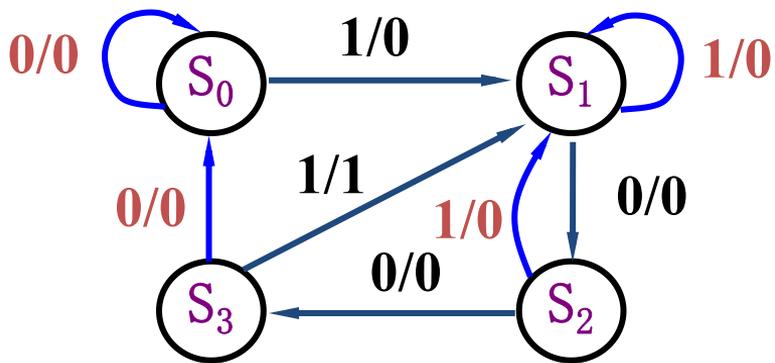
S2：表示收到了“1001”序列中的前两个信号
“10”；

S3：表示收到了“1001”序列中的前三个信号





序列可以重叠时的状态间的转换关系:





建立原始状态表

例1：设计一个同步序列电路对输入序列进行检测，当出现01011时，输出为1，否则输出为0。

解：输入： X ，输出： Z 。



定义状态：

A：起始状态，准备检测。

B：电路收到一个0；

C：电路连续收到01；

D：电路连续收到010；

E：电路连续收到0101；

F：电路连续收到01011；准备重新检测

检测序列01011状态转移图

A: 准备;

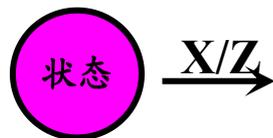
D: 010;

B: 0;

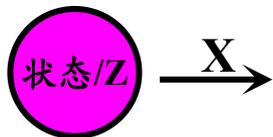
E: 0101;

C: 01;

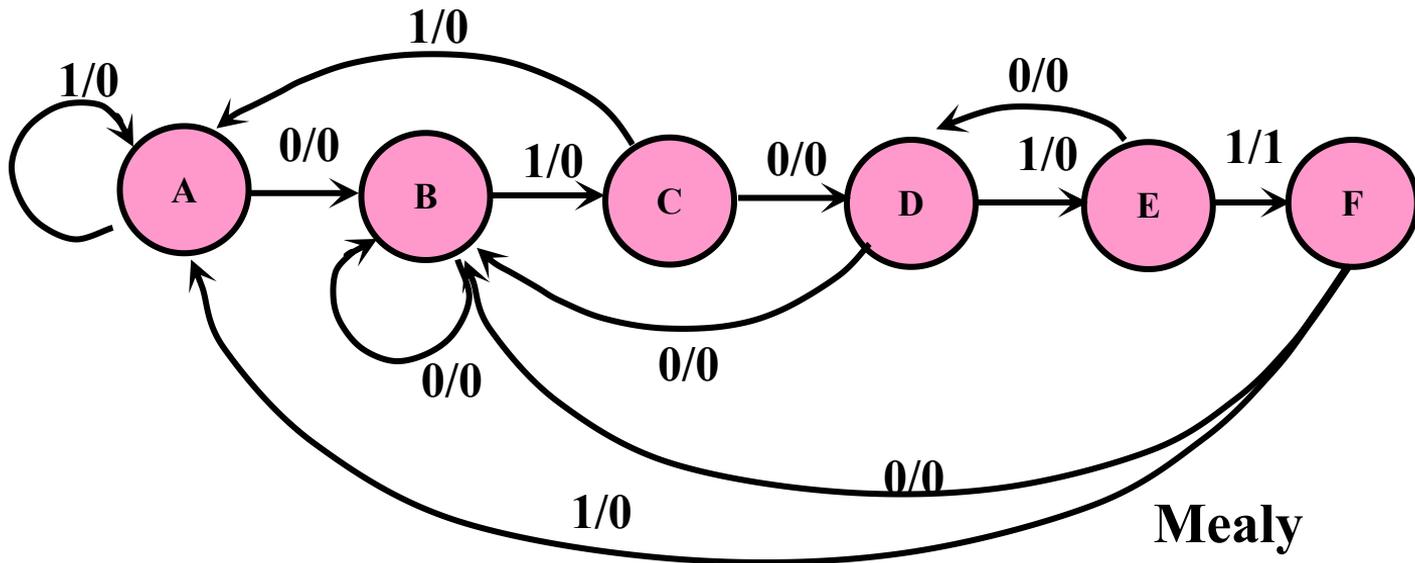
F: 01011。



Mealy



Moore



Mealy

检测序列01011状态转移图

A: 准备;

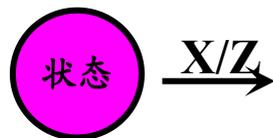
B: 0;

C: 01;

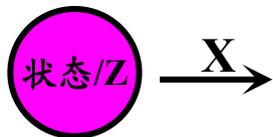
D: 010;

E: 0101;

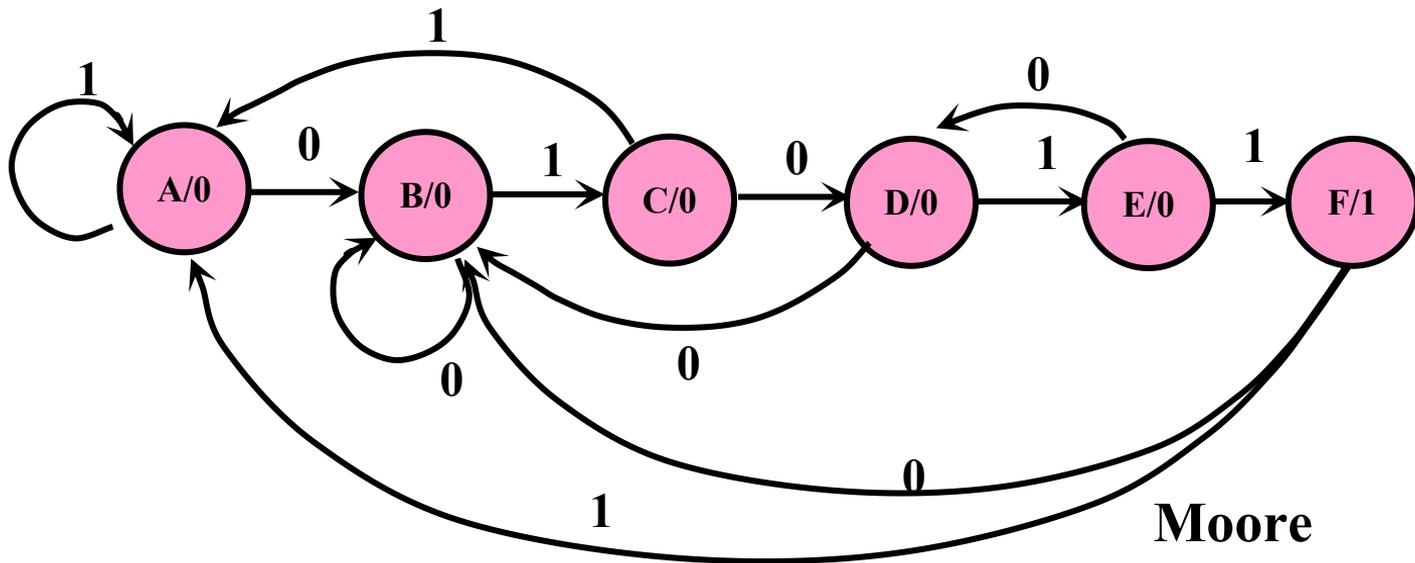
F: 01011。

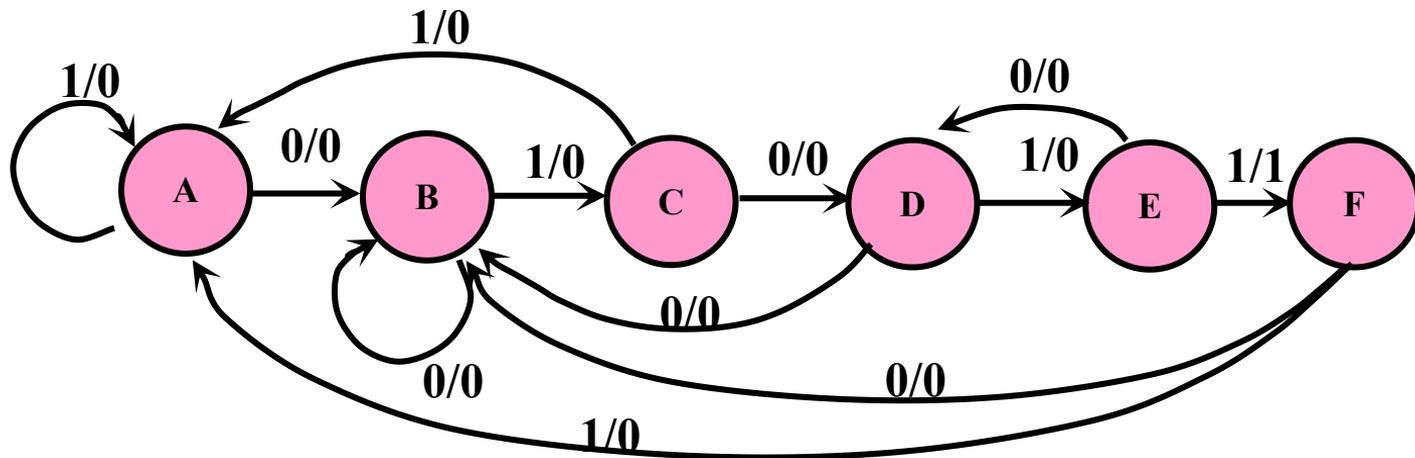


Mealy



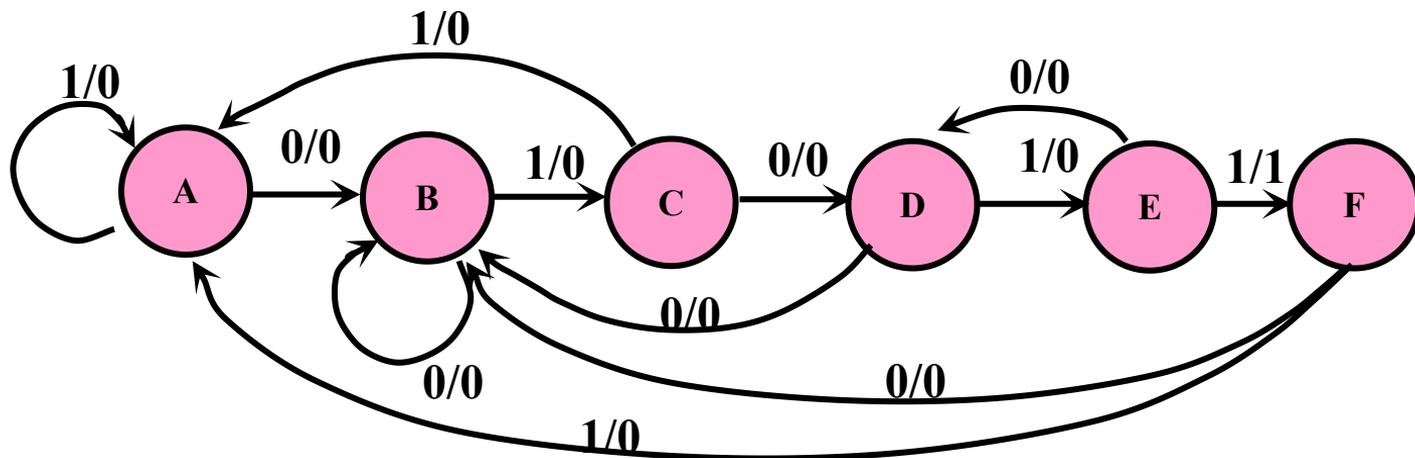
Moore





注意:

- ① 确定有多少状态来表示所设计电路，决不能遗漏任何一个可能的状态。
- ② 当外部输入变量为 n 个时，则每个状态有 2^n 个转移方向。



可导出原始状态转移表:

S (t)	N (t)		Z (t)	
	X=0	X=1	X=0	X=1
A	B	A	0	0
B	B	C	0	0
C	D	A	0	0
D	B	E	0	0
E	D	F	0	1
F	B	A	0	0



例1 试给出一个自动售饮料机的原始状态转移图。它的投币口每次只能投入一枚五角或一元的硬币。投入一元五角硬币后机器自动给出一杯饮料，投入两元（两枚一元）硬币后，在给出一杯饮料的同时找回一枚五角的硬币。



解：①输入变量为A、B，输出变量为F1、F2；
取投币信号为输入变量，用A、B表示，给出饮料信号和找钱信号为输出变量，用F1、F2表示。



变量定义:

A: 表示投入一枚一元硬币。

B: 表示投入一枚五角硬币。

F1: 表示给出饮料。

F2: 表示找回一枚五角硬币。

状态定义:

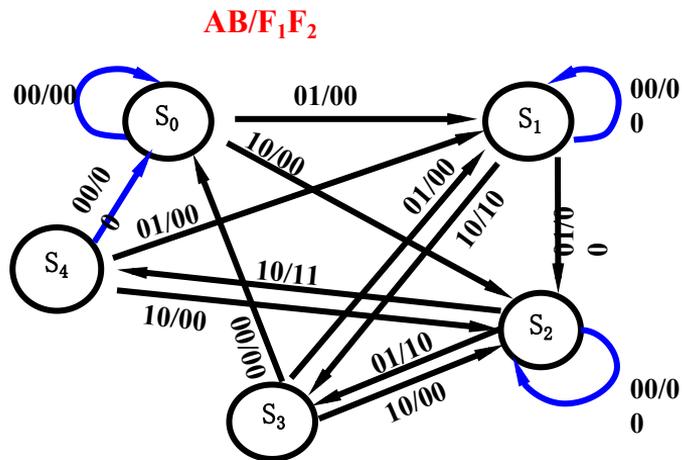
S0: 初始状态。

S1: 收到五角硬币。

S2: 收到一元硬币。

S3: 收到一元五角硬币。

S4: 收到二元硬币。



例1原始状态转移图



变量定义:

A: 表示投入一枚一元硬币。

B: 表示投入一枚五角硬币。

F1: 表示给出饮料。

F2: 表示找回一枚五角硬币。

状态定义:

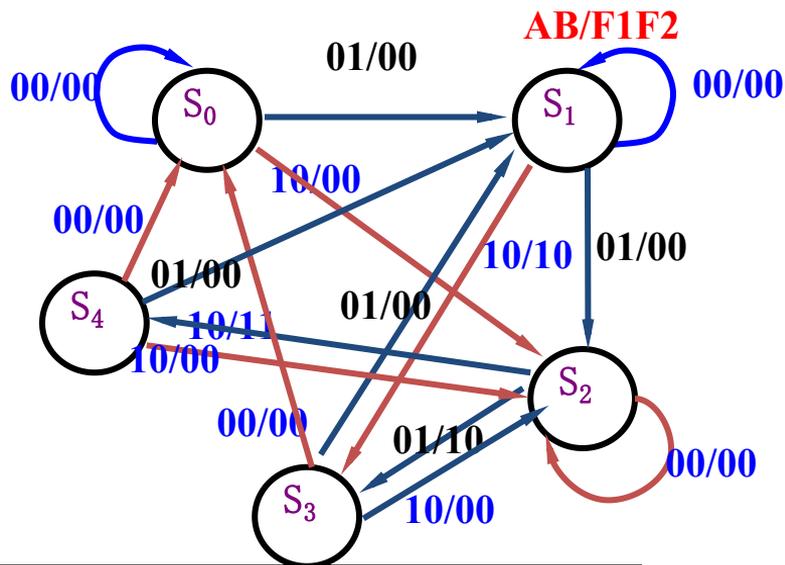
S0: 初始状态。

S1: 收到五角硬币。

S2: 收到一元硬币。

S3: 收到一元五角硬币。

S4: 收到二元硬币。



S (t)	N(t)/Z(t)		
	AB=00	AB=01	AB=10
S0	S0/00	S1/00	S2/00
S1	S1/00	S2/00	S3/10
S2	S2/00	S3/10	S4/11
S3	S0/00	S1/00	S2/00
S4	S0/00	S1/00	S2/00

化简原始状态表

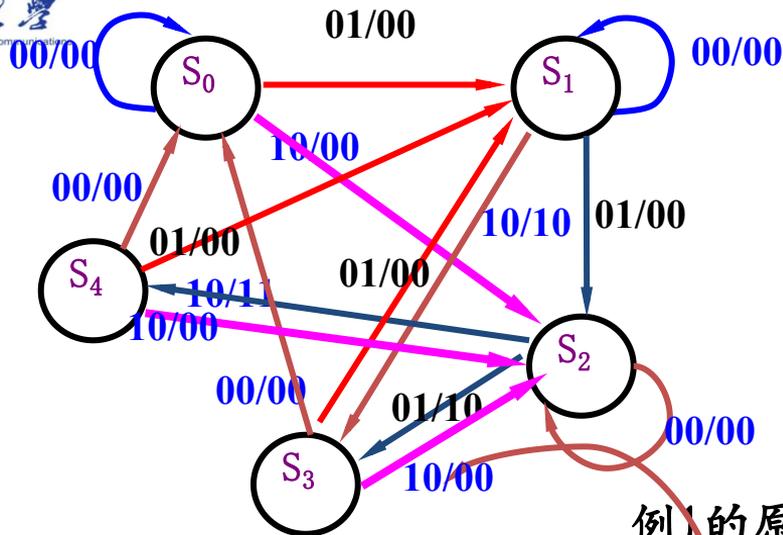
关键：寻找等价状态。什么是等价状态？满足以下两条件：

- ① 在所有输入条件下，两状态对应输出完全相同。
- ② 在所有输入条件下，状态转移也完全相同。

等价状态可以合并为一个状态。

S (t)	N(t)/Z(t)		
	AB=00	AB=01	AB=10
S0	S0/00	S1/00	S2/00
S1	S1/00	S2/00	S3/10
S2	S2/00	S3/10	S4/11
S3	S0/00	S1/00	S2/00
S4	S0/00	S1/00	S2/00

上例中：S0、S3和S4是等价状态，可以合并成一个状态



例1的原始状态转移图

状态定义:

S0:初始状态。

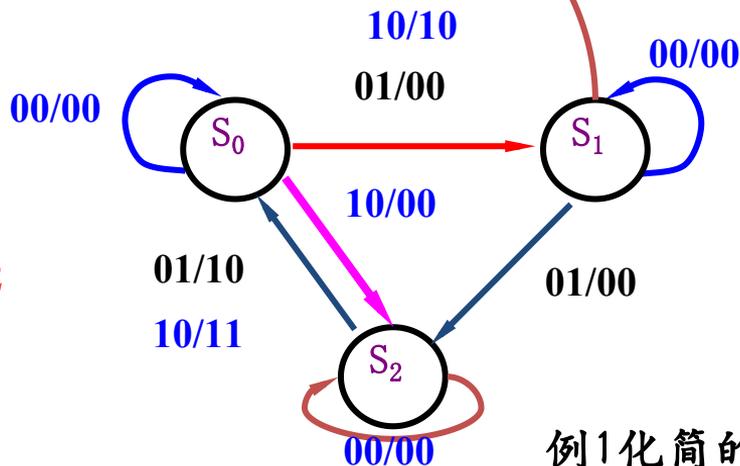
S1:收到五角硬币。

S2:收到一元硬币。

S3:收到一元五角硬币。

S4:收到二元硬币。

AB/F1F2



例1化简的状态转移图

状态定义:

S0:初始状态或完成一次操作,等待新的投币。

S1:收到五角硬币。

S2:收到一元硬币。



化简原始状态表

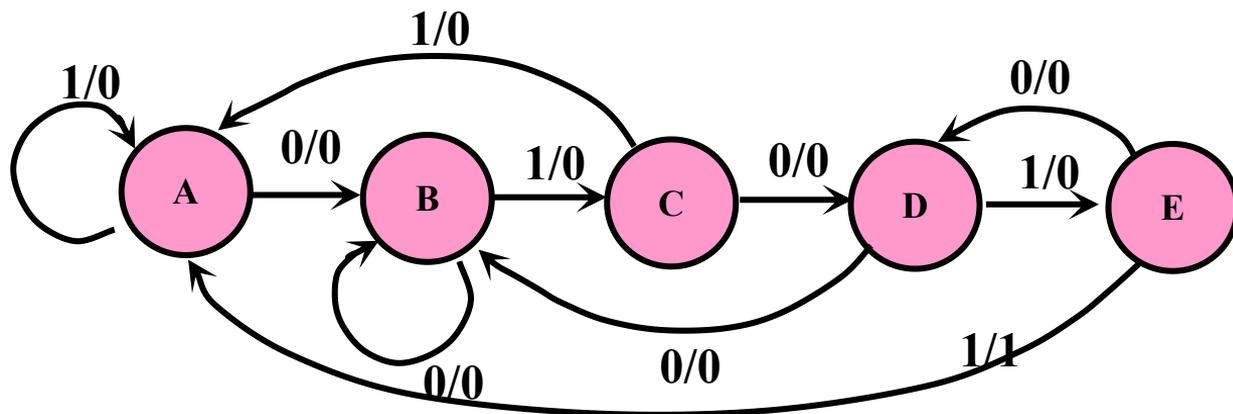
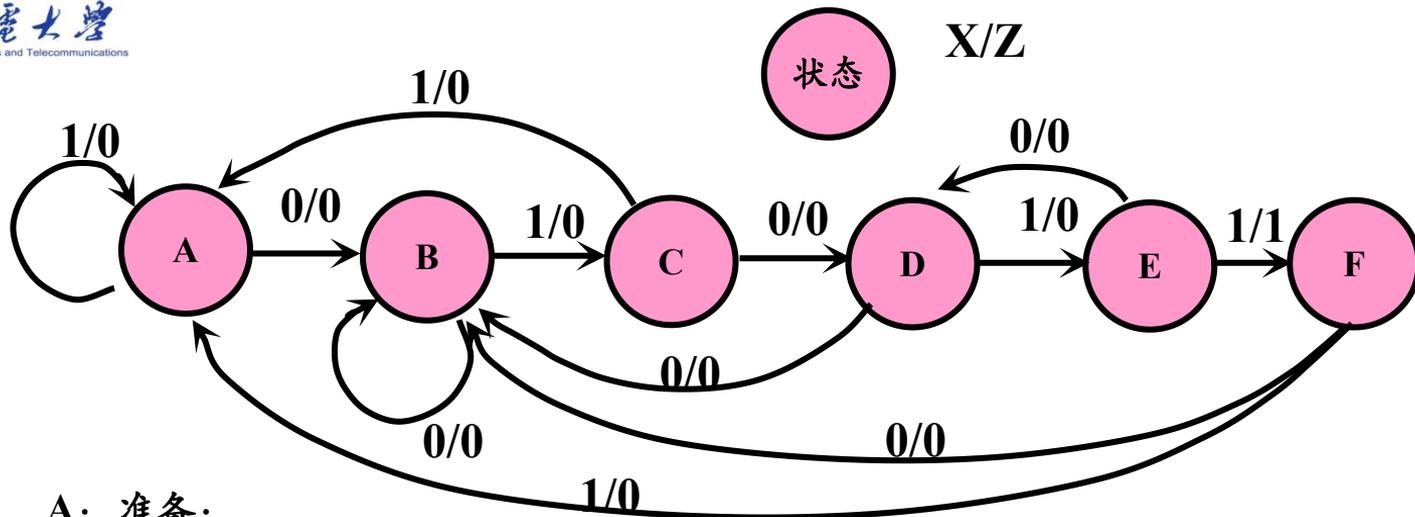
关键：寻找等价状态。什么是等价状态？满足以下两条件：

- ① 在所有输入条件下，两状态对应输出完全相同。
- ② 在所有输入条件下，状态转移也完全相同。

等价状态可以合并为一个状态。

S (t)	N (t)		Z (t)	
	X=0	X=1	X=0	X=1
A	B	A	0	0
B	B	C	0	0
C	D	A	0	0
D	B	E	0	0
E	D	F	0	1
F	B	A	0	0

上例中：A和F是等价状态，可以合并成一个状态



A: 准备, 或收到01011后, 等待新一轮的输入



等价状态条件2的几种特殊情况

1、隐含等价。例如：

S (t)	N (t)		Z (t)	
	X=0	X=1	X=0	X=1
A	B	A	0	0
B	B	E	0	0
C	D	A	0	0
D	B	E	0	0
E	D	A	0	1

[B,D]等价则[A,C]等价，[BD]是[AC]的隐含等价条件。



等价状态条件2的几种特殊情况

2、互为隐含等价条件

S (t)	N (t)		Z (t)	
	X=0	X=1	X=0	X=1
A	B	A	0	0
B	B	A	0	0
C	D	A	0	0
D	B	C	0	0
E	D	A	0	1

[BD]和[AC]互为隐含等价条件，则BD和AC分别等价。



等价状态条件2的几种特殊情况

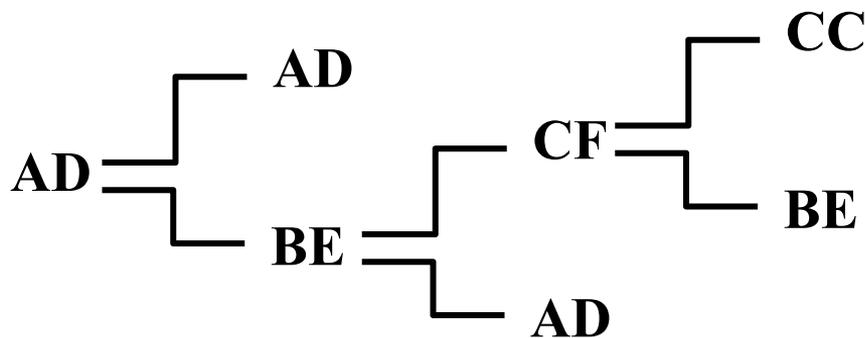
3、次态交错。例如：

S (t)	N (t)		Z (t)	
	X=0	X=1	X=0	X=1
A	B	A	0	0
B	D	C	0	0
C	D	A	0	0
D	B	C	0	0
E	D	A	0	1

B和D的次态交错，则BD等价。

等价状态条件2的几种特殊情况

4、等价隐含条件出现循环。



则， $[AD], [BE], [CF]$ 各自等价。



化简过程分三步：

- 画出隐含表进行顺序比较。
- 进行关联比较
- 列出最小化状态表。



例2：将下面原始状态表进行化简。

S (t)	N (t) /Z (t)	
	X=0	X=1
A	A/0	B/0
B	C/0	D/0
C	E/0	F/0
D	G/0	H/0
E	A/0	B/0
F	C/0	D/0
G	E/0	F/0
H	G/0	H/1

隐含表

B	AC BD						
C	AE BF	CE DF					
D	×	×	×				
E	√	AC BD	AE BF	×			
F	AC BD	√	EC DF	×	AC BD		
G	AE BF	CE DF	√	×	AE BF	CE DF	
H	×	×	×	×	×	×	×
	A	B	C	D	E	F	G

S (t)	N (t) /Z (t)	
	X=0	X=1
A	A/0	B/0
B	C/0	D/0
C	E/0	F/0
D	G/0	H/0
E	A/0	B/0
F	C/0	D/0
G	E/0	F/0
H	G/0	H/1

等价
状态:

[AE]

[BF]

[CG]

[AC]

[AG]

[CE]

[EG]



等价类：等价状态的集合。

[AE], [BF], [CG], [AC], [AG], [CE], [EG]

最大等价类：包含了全部等价状态的等价类。根据等价状态的传递性，可得最大等价类：

[ACEG] [BF] [D] [H]

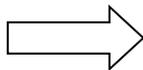
重新命名为：

a,b,c,d状态

[ACEG], [BF], [D], [H]

a b c d

S (t)	N (t) /Z (t)	
	X=0	X=1
A	A/0	B/0
B	C/0	D/0
C	E/0	F/0
D	G/0	H/0
E	A/0	B/0
F	C/0	D/0
G	E/0	F/0
H	G/0	H/1



列最小化状态表为

S (t)	N (t) /Z (t)	
	X=0	X=1
a	a/0	b/0
b	a/0	c/0
c	a/0	d/0
d	a/0	d/1



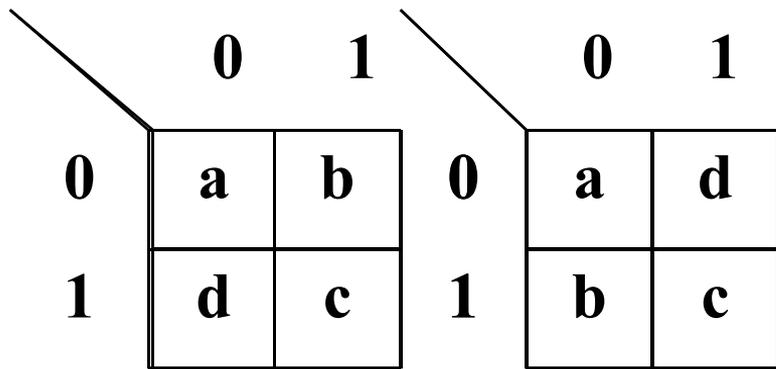
状态编码

在工程上比较具有实用价值的方法为相邻法：尽可能使次态方程和输出函数在卡诺图上“1”的分布为逻辑相邻，以便于化简。

三个原则：（优先权由高到低）

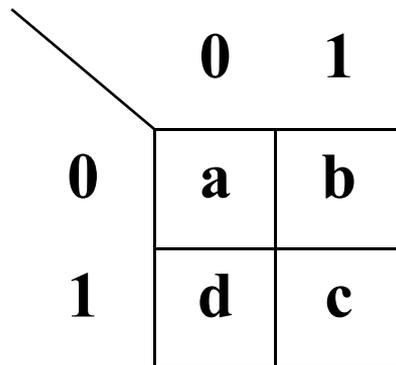
- ◆ 具有相同次态的现态。如上例的c和d
- ◆ 同一现态的各个次态。如上例的a和b,a和c,a和d
- ◆ 具有相同输出的现态。如abc,可任取两两相邻, ab,bc,ac。

S (t)	N (t) /Z (t)	
	X=0	X=1
a	a/0	b/0
b	a/0	c/0
c	a/0	d/0
d	a/0	d/1



S (t)	N (t) /Z (t)	
	X=0	X=1
a	a/0	b/0
b	a/0	c/0
c	a/0	d/0
d	a/0	d/1

编码后的二进制状态转移表为：



S (t)	N (t) /Z (t)	
	X=0	X=1
00	00/0	01/0
01	00/0	11/0
11	00/0	10/0
10	00/0	10/1

(4) 选定触发器，根据状态转移表设计各触发器的激励函数和输出函数。

S (t)	N (t) /Z (t)	
	X=0	X=1
00	00/0	01/0
01	00/0	11/0
11	00/0	10/0
10	00/0	10/1



当前输入	当前状态		下一状态		当前输出
X	Q_2^n	Q_1^n	Q_2^{n+1}	Q_1^{n+1}	Z
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	1	0
1	0	1	1	1	0
1	1	0	1	0	1
1	1	1	1	0	0



当前输入	当前状态		下一状态		当前输出
X	Q_2^n	Q_1^n	Q_2^{n+1}	Q_1^{n+1}	Z
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	1	0
1	0	1	1	1	0
1	1	0	1	0	1
1	1	1	1	0	0

$$D_2 = XQ_1^n + XQ_2^n$$

$$D_1 = X\bar{Q}_2^n \quad Z = XQ_2\bar{Q}_1^n$$

$Q_2^n Q_1^n$

X	00	01	11	10
0	0	0	0	0
1	0	1	1	1

$Q_2^n Q_1^n$

D_2

X	00	01	11	10
0	0	0	0	0
1	1	1	0	0

$Q_2^n Q_1^n$

D_1

X	00	01	11	10
0	0	0	0	0
1	0	0	0	1

Z