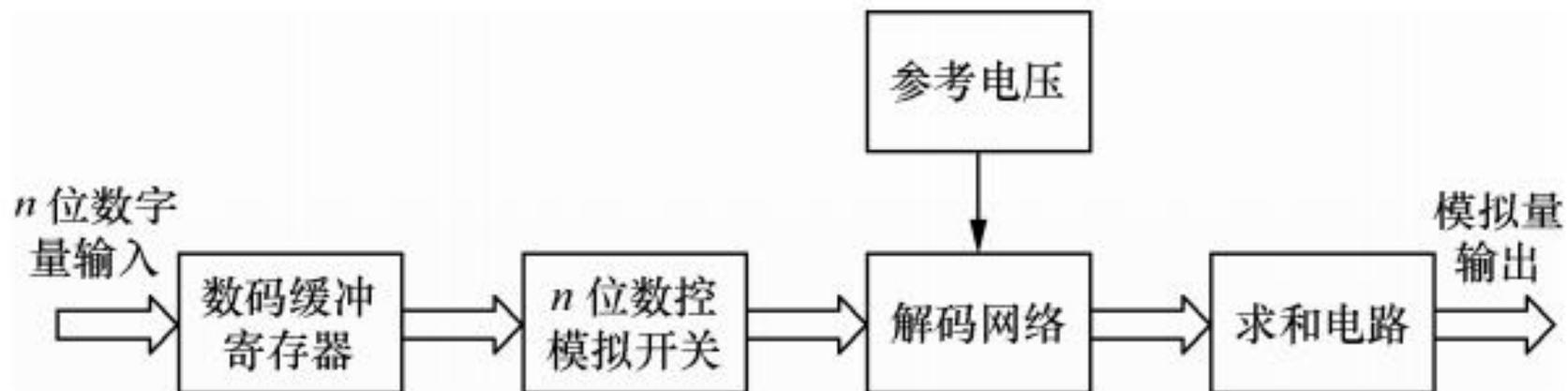


第八章 数模转换和模数转换

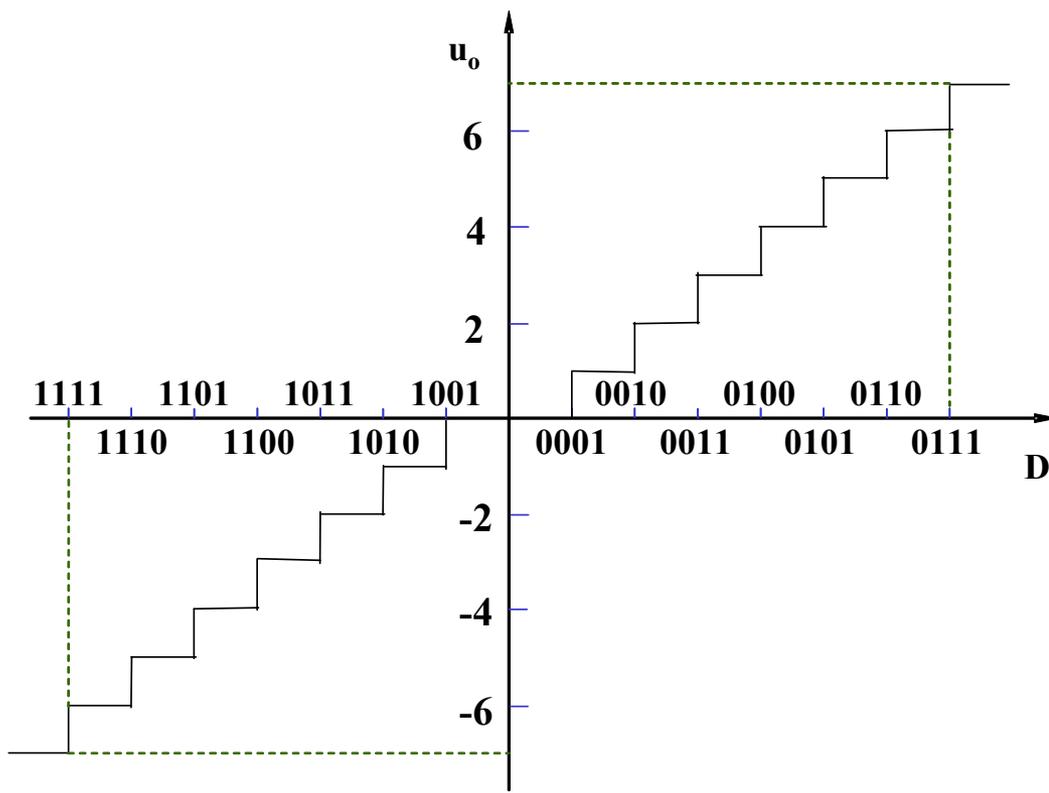
- **ADC: 模拟-数字转换器**
Analog to Digital Converter
- **DAC: 数字-模拟转换器**
Digital to Analog Converter
- **ADC和DAC**是沟通模拟电路和数字电路的桥梁，也可称之为两者之间的接口。

8.1.1 数模转换原理



DAC将输入的二进制数字量转换成模拟量，以电压或电流的形式输出。

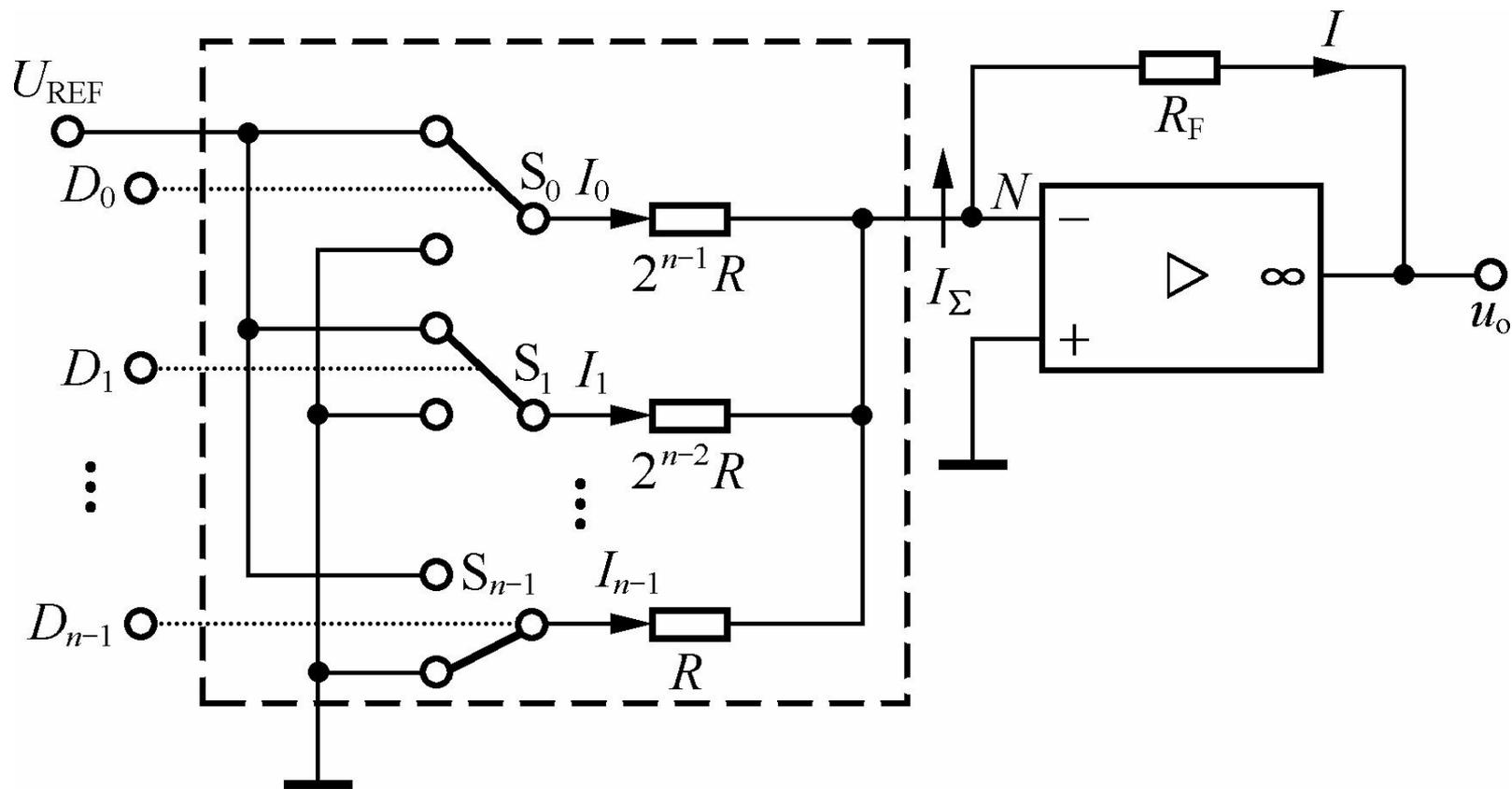
$$u_0 = KU_{REF} \mathbf{D} = KU_{REF} \sum_{i=0}^{n-1} D_i \cdot 2^i$$



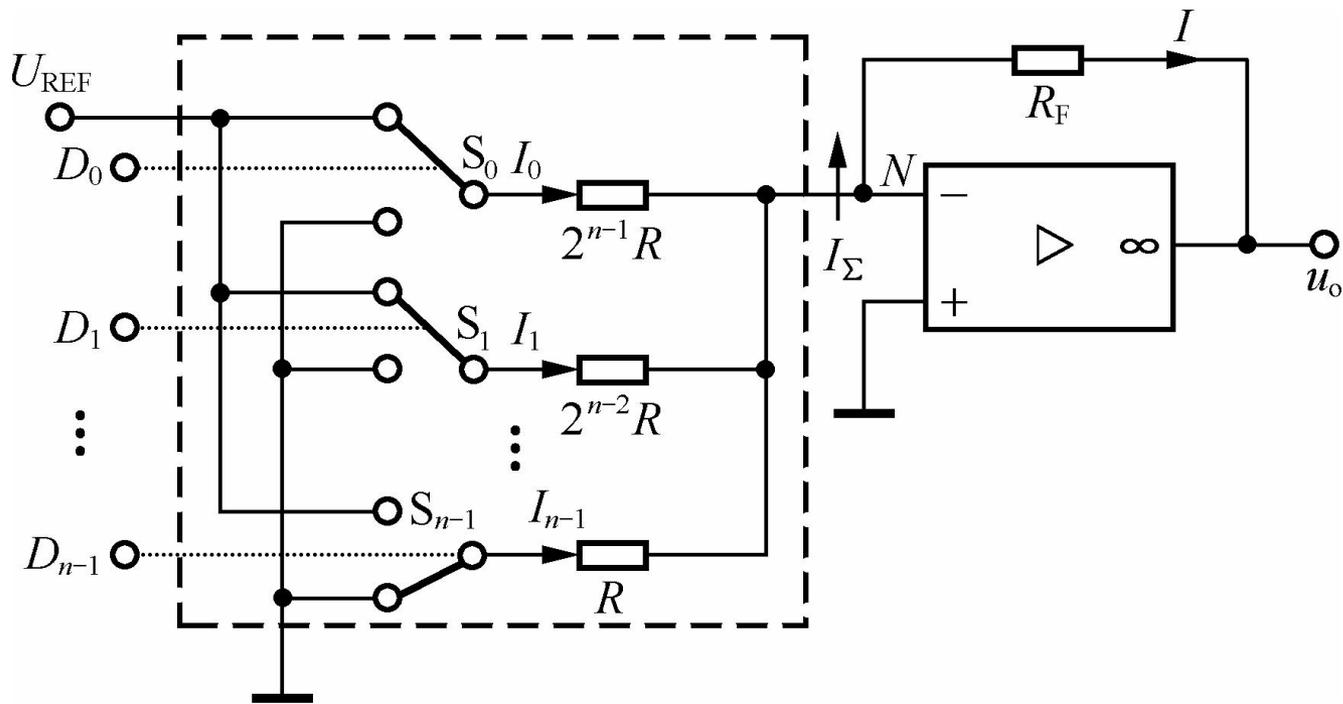
8.1.2 常见的DAC结构

- 权电阻网络
- 倒T型电阻网络

1. 权电阻网络DAC



权电阻的排列顺序和权值的排列顺序相反。



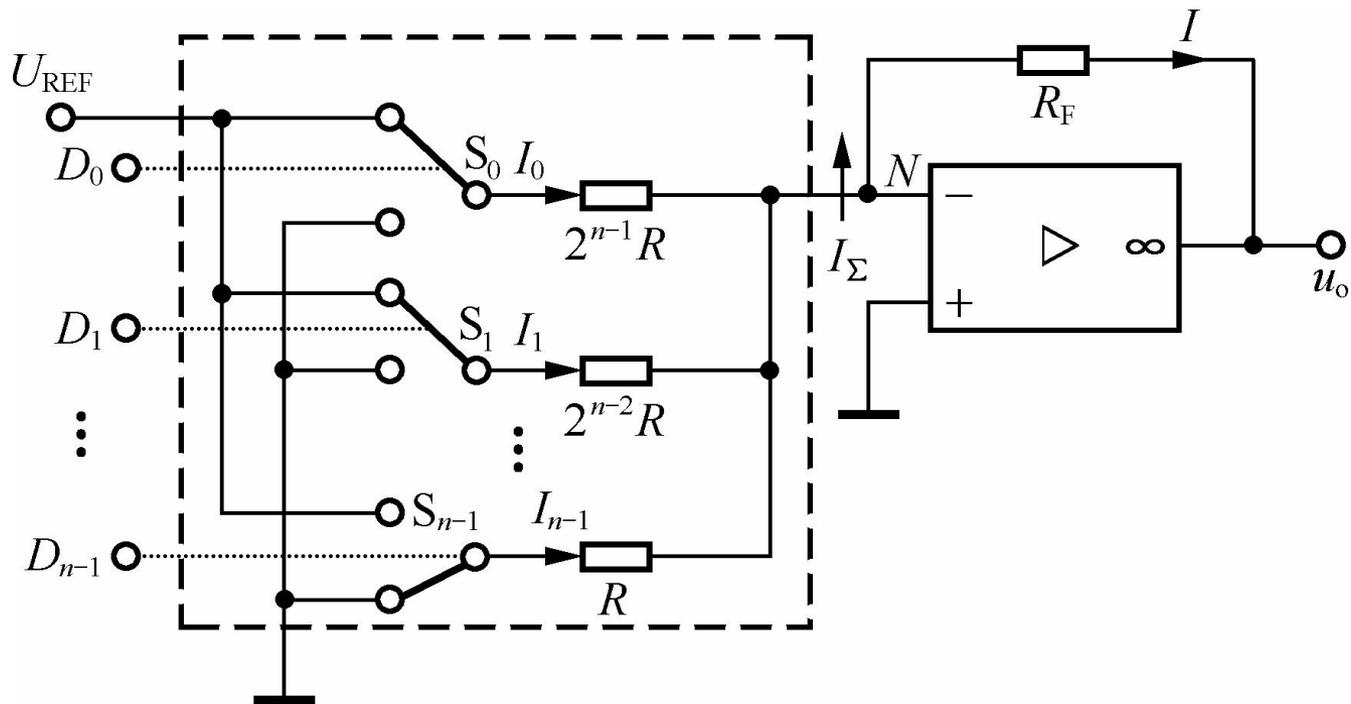
开关 S_i 的位置受数据锁存器输出的数码 D_i 控制：

当 $D_i=1$ 时， S_i 将对应的权电阻接到参考电压 U_{REF} 上；

当 $D_i=0$ 时， S_i 将对应的权电阻接地。

$$I_i = \frac{U_{REF} D_i}{2^{n-1-i} R} = \frac{U_{REF} 2^i D_i}{2^{n-1} R}$$

$$I_{\Sigma} = \sum_{i=0}^{n-1} I_i = \frac{U_{REF}}{2^{n-1} R} \sum_{i=0}^{n-1} 2^i D_i$$



运放输出电压为：

$$u_o = -I_{\Sigma} R_F = -\frac{U_{REF} R_F}{2^{n-1} R} \sum_{i=0}^{n-1} 2^i D_i = K U_{REF} \sum_{i=0}^{n-1} 2^i D_i$$

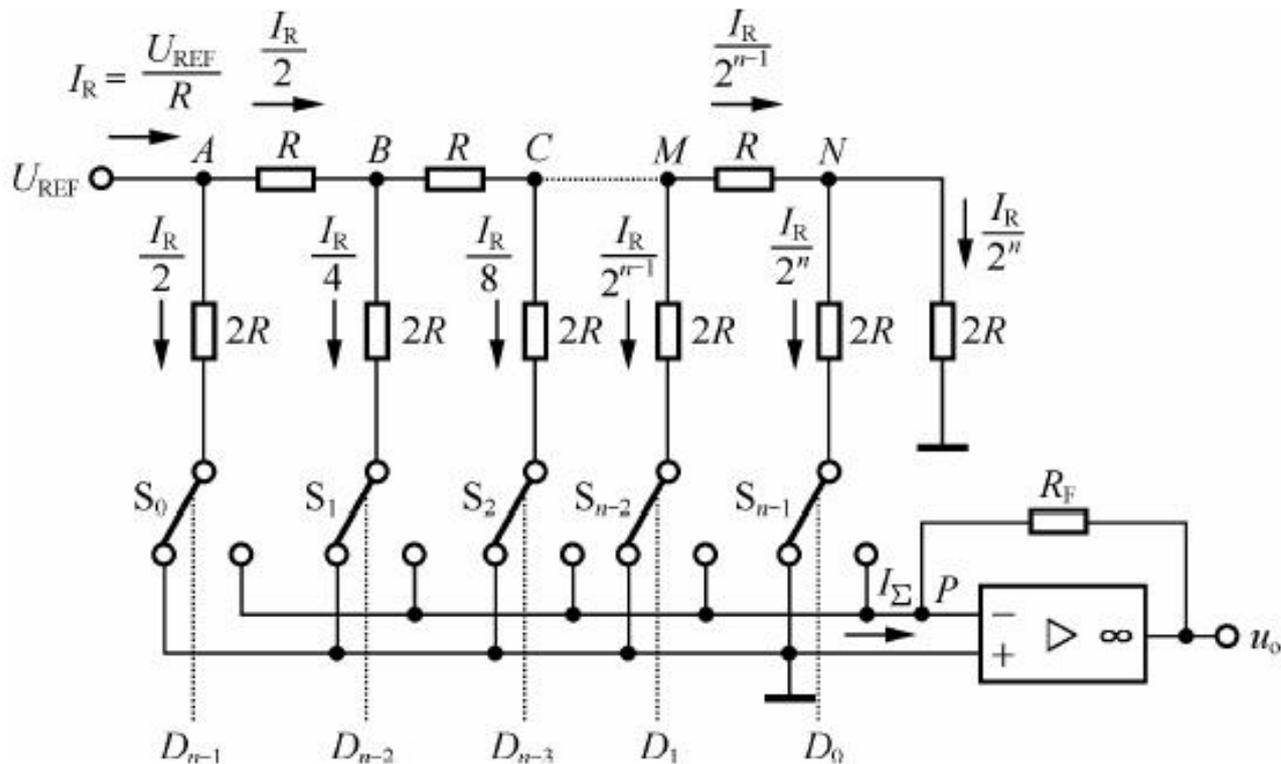
这里： $K = -\frac{R_F}{2^{n-1} R}$

令 $R_F = R/2$ ，则 $K = -\frac{1}{2^n}$

权电阻网络DAC的特点:

这种电路的优点是结构简单，直观；缺点是权电阻的阻值相差较大，很难做到每个电阻的高精度值。

2.倒T型R-2R电阻网络DAC

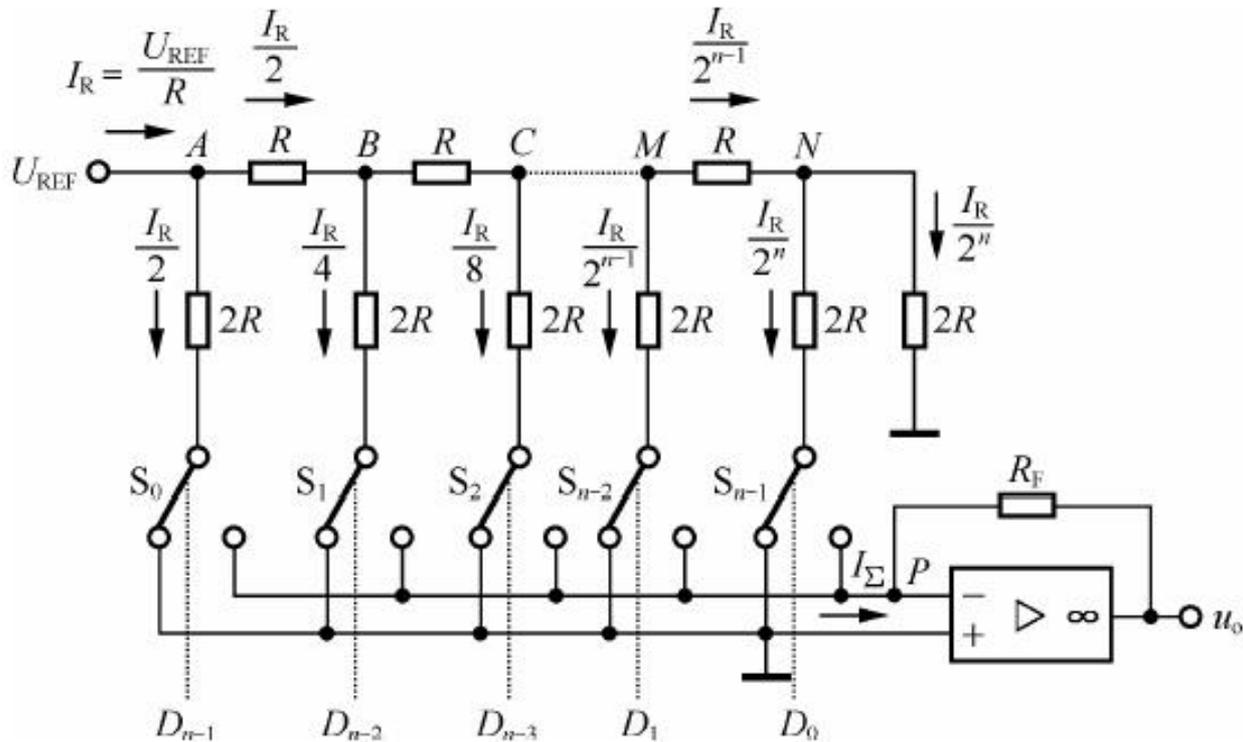


电阻只有R和2R两种。

当 $D_i=1$ 时，相应的开关 S_i 接到求和点（虚地）；

当 $D_i=0$ 时，相应的开关 S_i 接地（实地）。

T型网络的各节点左侧向右看的等效电阻都是R。



参考电压 U_{REF} 供出的总电流为： $I = \frac{U_{REF}}{R}$

从左往右，各路电流分配的规律是： $\frac{I}{2}, \frac{I}{4}, \dots, \frac{I}{2^{n-1}}, \frac{I}{2^n}$

流入求和点的电流为： $u_o = -\frac{U_{REF}}{2^n} \frac{R_F}{R} \sum_{i=0}^{n-1} D_i 2^i = K U_{REF} D$

倒T型电阻网络DAC的特点：

电阻种类少，只有R和2R，提高了制造精度；而且转换速度较高。缺点是使用的电阻个数比较多。

它是目前集成D/A转换器中转换速度较高且使用较多的一种，如8位D/A转换器DAC0832，就是采用倒T型电阻网络。

小结DAC的计算:

$$u_0 = KU_{REF} \sum_{i=0}^{n-1} D_i \cdot 2^i$$

权电阻网络中, 当 $R_F=R/2$, 则: $K = -\frac{1}{2^n}$

倒T型电阻网络中, 当 $R_F=R$, 则: $K = -\frac{1}{2^n}$

$$u_0 = -\frac{U_{REF}}{2^n} \sum_{i=0}^{n-1} D_i \cdot 2^i$$

例1 已知4位倒T型DAC，输入数字量为1101，

$u_{REF} = -8V$ ， $R_f = R$ ，则输出模拟量 $u_O = ?$

解：

$$u_O = -\frac{U_{REF}}{2^n} D = -\frac{-8}{2^4} \times (8 + 4 + 1) = 6.5V$$

8.3

$$u_0 = -\frac{U_{\text{REF}}}{2^n} \sum_{i=0}^{n-1} D_i \cdot 2^i$$

$$011 : u_o = -\frac{5}{2^3} \times 3 = -\frac{15}{8} V$$

$$101 : u_o = -\frac{5}{2^3} \times 5 = -\frac{25}{8} V$$

$$110 : u_o = -\frac{5}{2^3} \times 6 = -\frac{30}{8} V$$

8.1.3 DAC的主要参数和意义

1. 分辨率

用最低位发生变化时对应输出电压变化量 ΔU 与满刻度输出电压 U_{\max} 之比：

$$\text{分辨率} = \frac{1}{2^n - 1}$$

可见：

DAC的位数越高，分辨率越高，转换精度也越高。

8.1 有一个DAC电路，n=8，其分辨率是多少？

$$\text{分辨率} = \frac{1}{2^n - 1} = \frac{1}{2^8 - 1} = 0.392\%$$

2. 转换精度

通常，不考虑其它D/A转换误差时，DAC的分辨率即转换精度。

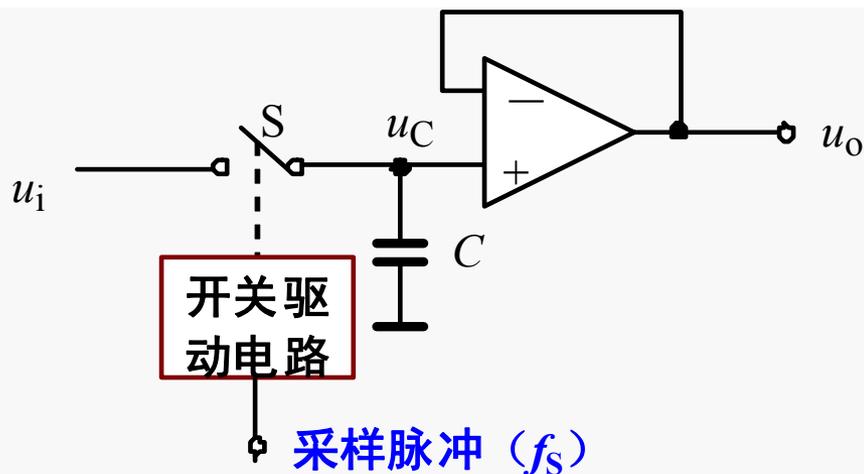
8.2 模数转换 (A/D)

8.2.1 模数转换的一般过程

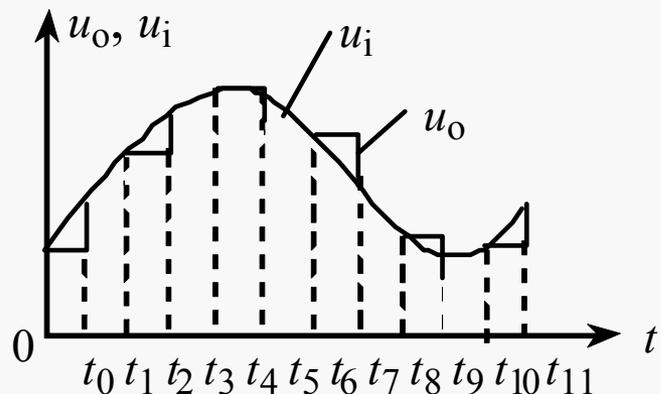
1. 采样和保持
2. 量化与编码

A/D转换过程通过**采样、保持、量化和编码**四个步骤完成。

1. 采样和保持



(a) 电路图



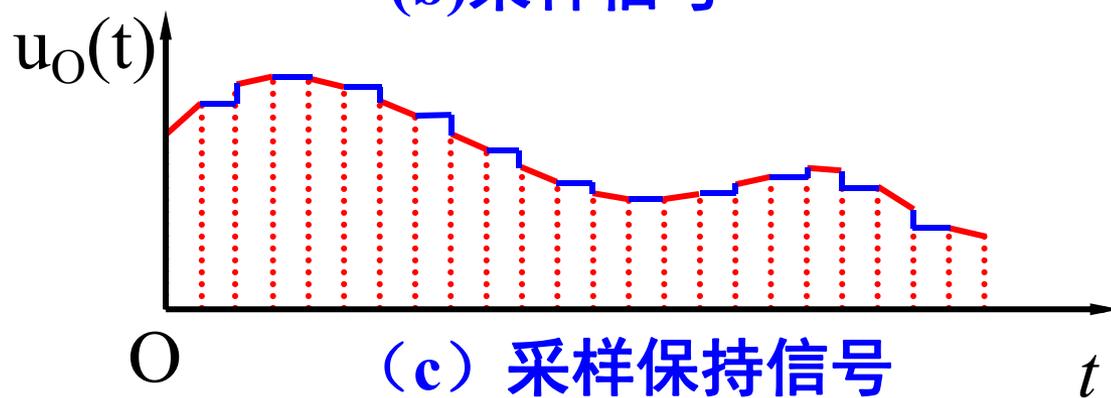
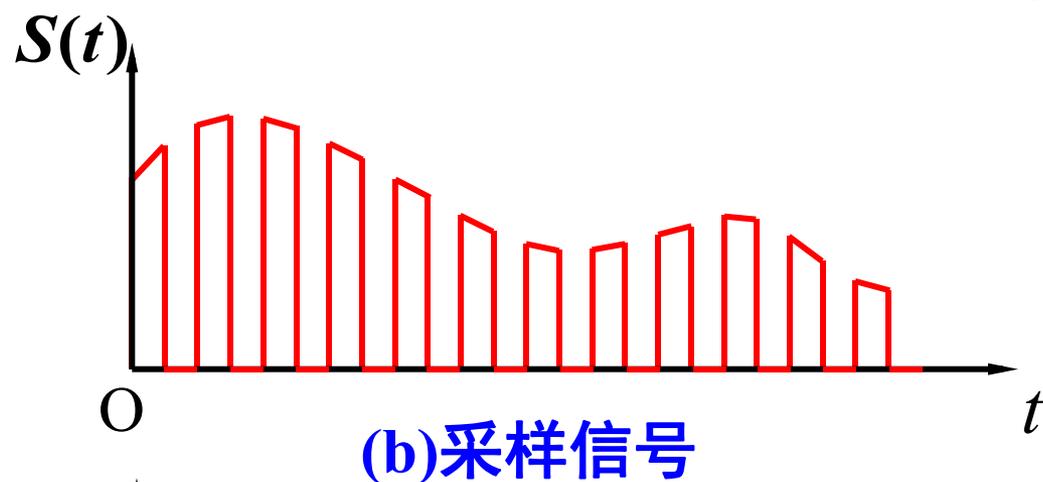
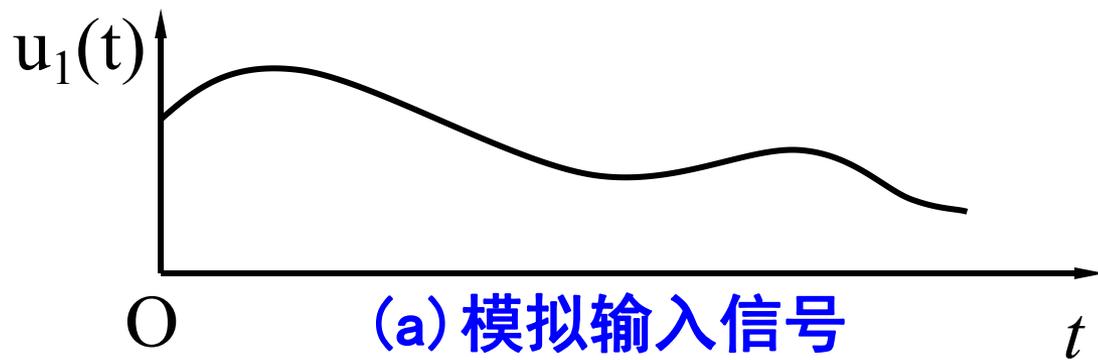
(b) 波形图

t_0 时刻 S 闭合， C_H 被迅速充电，电路处于**采样阶段**。

由于放大器的增益为1，因此这一阶段 u_o 跟随 u_i 变化，即 $u_o = u_i$ 。

t_1 时刻采样阶段结束， S 断开，电路处于**保持阶段**。

若 A_2 的输入阻抗为无穷大， S 为理想开关，则 C_H 没有放电回路，两端保持充电时的最终电压值不变，从而保证电路输出端的电压 u_o 维持不变。



模拟信号的采样保持

为了使采样信号不失真，采样脉冲的频率 f_c 须满足：

采样脉冲的频率 f_c 应不小于输入信号频谱中的最高频率 f_{max} 。

$$f_c \geq 2f_m$$

抽样定理

2. 量化和编码：

量化：将采样保持信号离散化的过程，离散后的电平称为**量化电平**。

编码：用二进制数表示各个量化电平的过程。

量化电平（离散电平）：都是**某个最小单位（量化单位 Δ ）**的整数倍的电平。

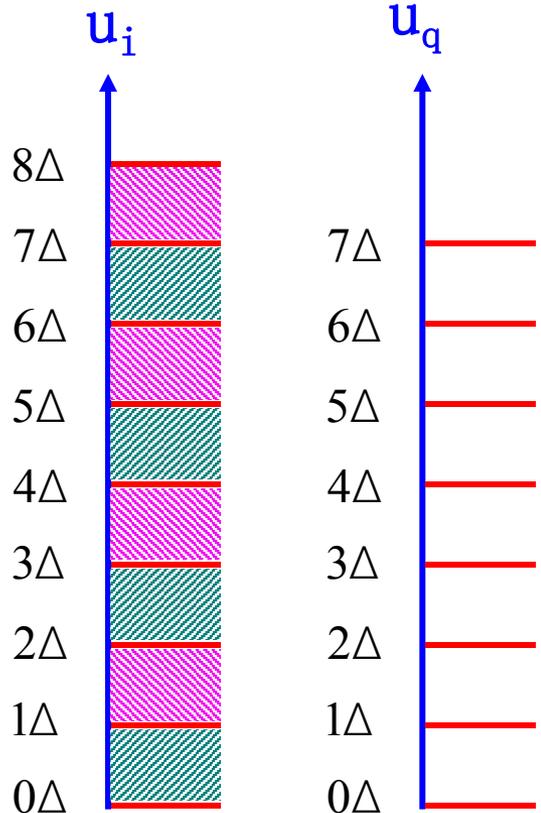
两种量化方法：

①舍尾方法

②四舍五入方法

例：将 $0-U_A$ 范围变化的 U_i 进行量化，并进行3位编码。

①舍尾方法

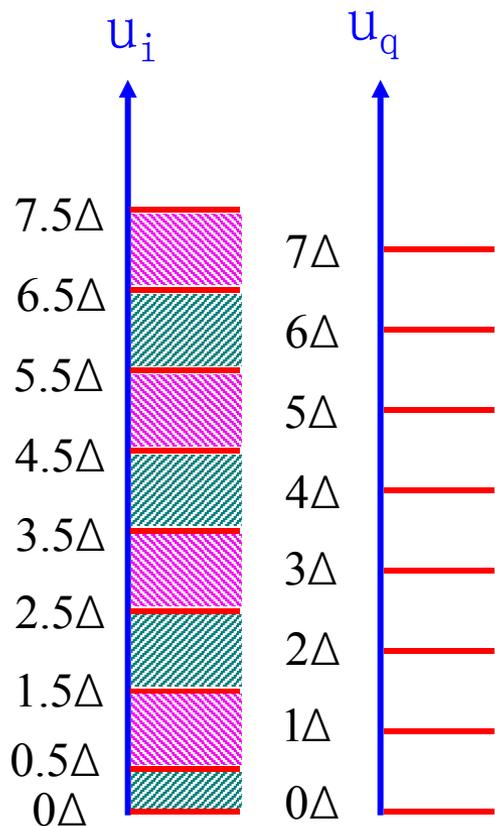


u_i	量化电平	编码
$0\Delta \leq U_i < 1\Delta$	0Δ	000
$1\Delta \leq U_i < 2\Delta$	1Δ	001
$2\Delta \leq U_i < 3\Delta$	2Δ	010
⋮	⋮	⋮
$7\Delta \leq U_i \leq 8\Delta$	7Δ	111

$$\Delta = \frac{U_A}{2^n} = \frac{1}{8} U_A$$

最大量化误差 $\epsilon_{max} = 1\Delta$

②四舍五入方法



u_i	量化电平	编码
$0\Delta \leq U_i < 0.5\Delta$	0Δ	000
$0.5\Delta \leq U_i < 1.5\Delta$	1Δ	001
$1.5\Delta \leq U_i < 2.5\Delta$	2Δ	010
\vdots	\vdots	\vdots
$6.5\Delta \leq U_i \leq 7.5\Delta$	7Δ	111

$$\Delta = \frac{2}{15} U_A$$

$$\text{最大量化误差 } \varepsilon_{\max} = \frac{\Delta}{2}$$

8.5 $u_{Imax} = 10V, n = 4 \quad u_I = 6.28V$

舍尾法: $\Delta = \frac{u_{Imax}}{2^n} = \frac{10}{16} = 0.625V$

当 $u_I = 6.28V$ 时, $10\Delta < 6.28 < 11\Delta$, 所以 $u_O = 1010$ 。

四舍五入法: $\Delta = \frac{2}{31} u_{Imax} = \frac{20}{31} = 0.645V$

当 $u_I = 6.28V$ 时, $10\Delta = 6.45V$, $9.5\Delta < 6.28 < 10.5\Delta$
所以 $u_O = 1010$ 。

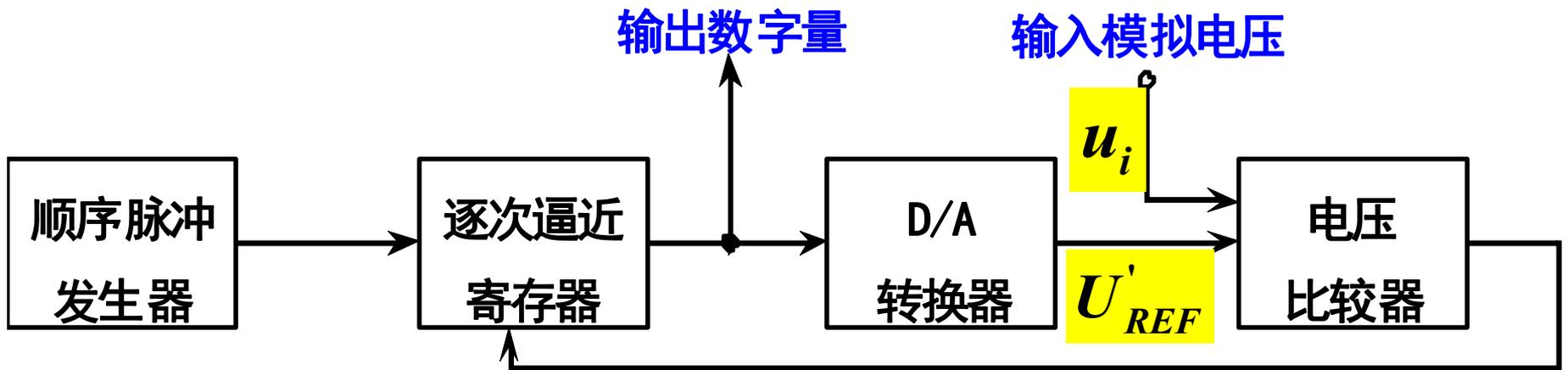
8.2.2 常见的ADC结构

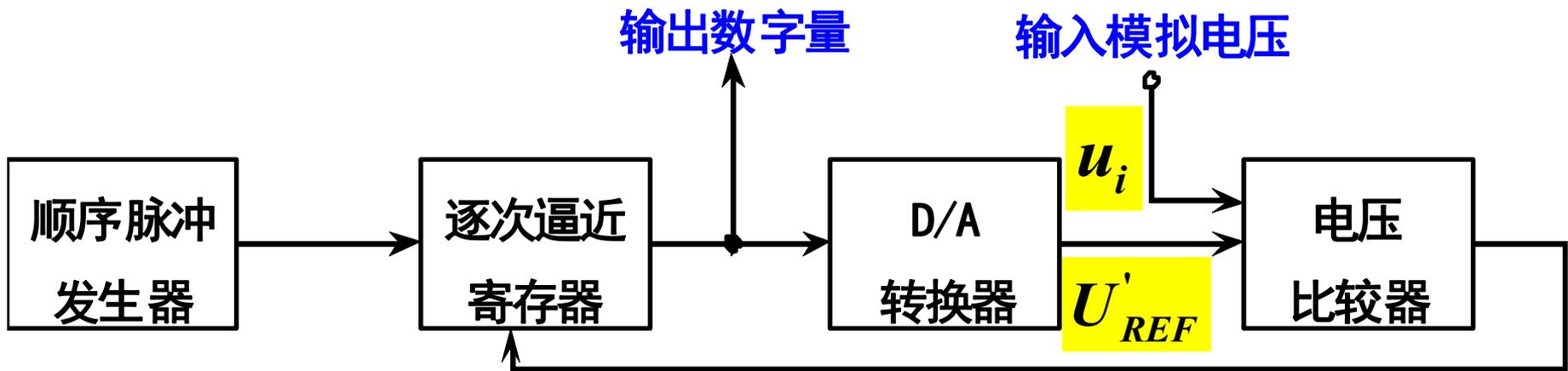
- ADC也有很多种，从电路结构看可分为**逐次逼近型、并联比较型、双积分型**等。
- **逐次逼近型ADC**是一种转换速度较快、转换精度较高，且具有结构简单的价格优势，故目前应用比较广泛。

逐次逼近的过程好比用四个分别重8g, 4g, 2g, 1g的砝码去称重13g的物体, 秤量顺序如表1所列:

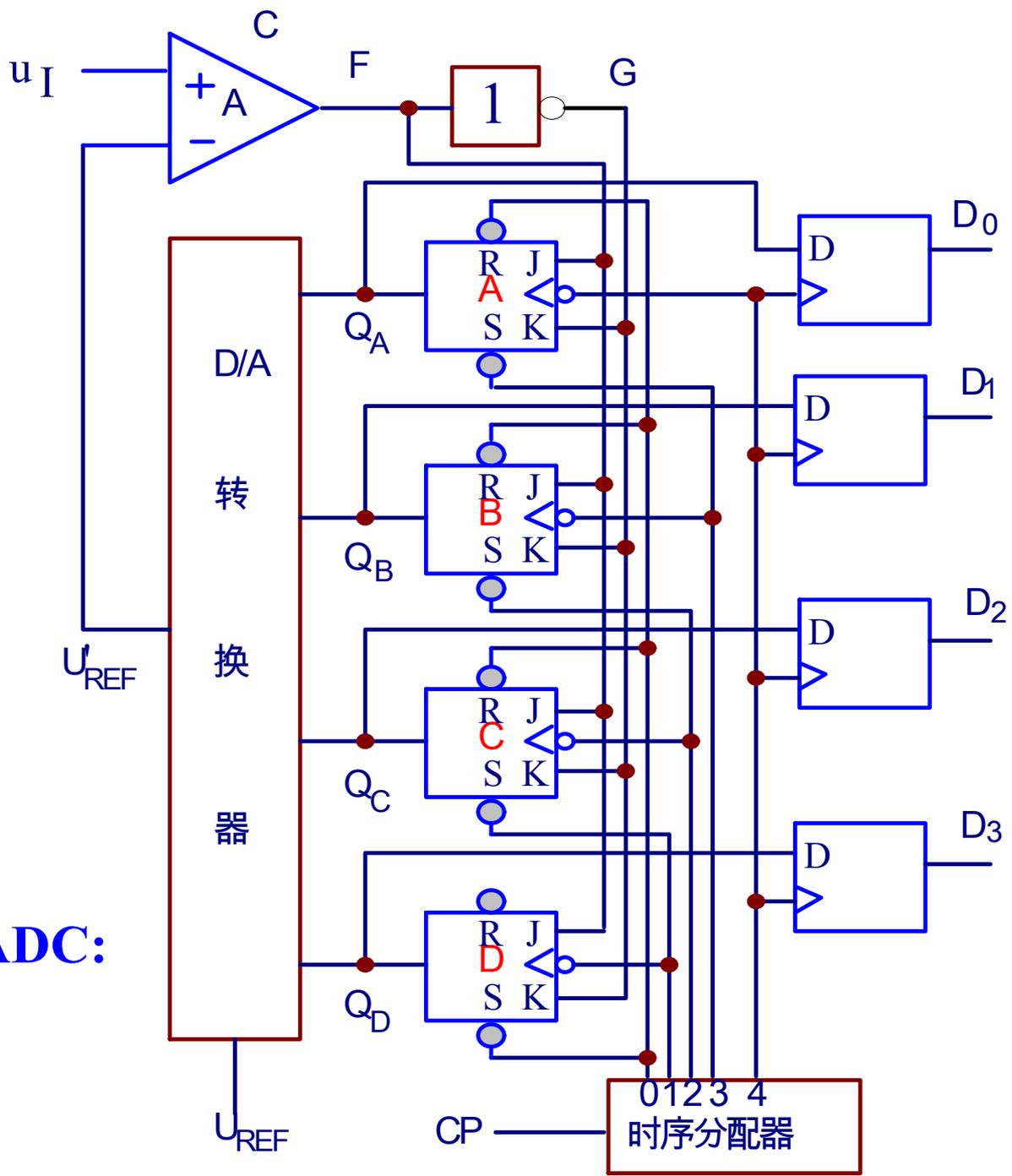
顺序	砝码重量	比较判别	砝码是否保留或除去
1	8g	$8g < 13g$	留
2	8g+4g	$12g < 13g$	留
3	8g+4g+2g	$14g > 13g$	去
4	8g+4g+1g	$13g = 13g$	留

ADC在结构上由**顺序脉冲发生器**、**逐次逼近寄存器**、**DAC**和**电压比较器**等几部分组成，其原理框图如下。

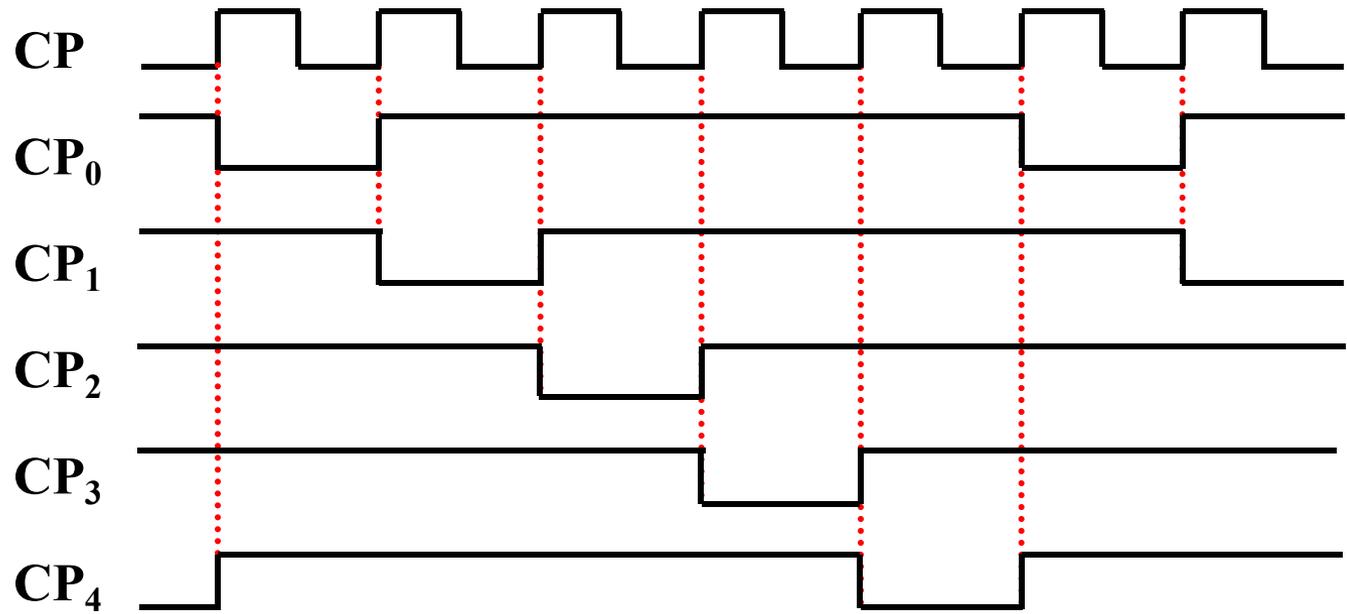




- 转换开始时，顺序脉冲发生器输出的顺序脉冲首先将寄存器的最高位置1，经DAC转换为相应的模拟电压 U'_{REF} 送入比较器与待转换的模拟电压 u_i 进行比较。
- 若 $U'_{REF} > u_i$ ，说明数字量过大，除去最高位的1，而将次高位置1，再一次比较。若 $U'_{REF} < u_i$ ，说明数字量还不够大，保留该位的1，且还须将下一位置1。
- 这样逐次比较下去，一直到最低位为止。
- 逐次逼近寄存器的逻辑状态就是待转换的模拟输入电压 u_i 的数字量，经读出电路输出。



4位逐次逼近型ADC:



时序分配器输出波形

工作原理:

- 先使JKFF的最高位为1，其余低位为0，比较，下一CP有效沿到，决定1的去留；
- 再使JKFF的次高位为1，其余低位为0，比较，下一CP有效沿到，决定1的去留；
- 直到最低位比较完为止。此时JKFF中所存的数码就是所求的输出数字量。

转换位数为N，则转换时间为 $(N+1) T_{cp}$ 。

逐次逼近型A/D转换器完成一次转换所需的时间为 $(n+1)T_{CP}$ 。

T_{CP} : 时钟脉冲周期

8.4 一个8位逐次逼近式ADC要求转换时间小于200ns，则时钟周期TCP应为多少？

解：完成一次转换所需的时间为 $(n+1)TCP$ ，

因此： $(n+1)TCP \leq 200ns$

$9 TCP \leq 200ns$

取 $TCP=20ns$ 。